

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月22日
Date of Application:

出願番号 特願2003-013604
Application Number:

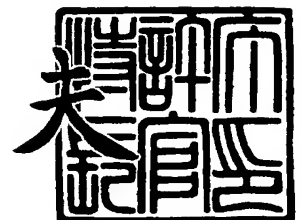
[ST. 10/C]: [JP 2003-013604]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3074993

【書類名】 特許願

【整理番号】 J0093590

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 金井 正博

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置、画像処理方法及び固体撮像装置

【特許請求の範囲】

【請求項 1】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理装置において、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する読み出しライン用シフトデータ出力回路と、
を有することを特徴とする画像処理装置。

【請求項 2】

さらに、前記クリアライン用シフトレジスタへリセット信号を出力するクリアライン用シフトレジスタリセット信号出力回路を有することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記撮像条件は、フレームレイト、シャッタースピード及びスキャン方向のいずれかの条件であることを特徴とする請求項 1 又は請求項 2 に記載の画像処理装置。

【請求項 4】

さらに、フレームレイトに従って間引きフレームが発生したとき、前記読み出しライン用シフトデータ出力回路は、前記読み出しライン選択信号を出力することを特徴とする請求項1、請求項2又は請求項3に記載の画像処理装置。

【請求項5】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理方法において、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、
を設け、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを前記読み出しライン用シフトレジスタへ出力し、

前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止することを特徴とする画像処理方法。

【請求項6】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、

前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、

前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、

前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する読み出しライン用シフトデータ出力回路と、
を有することを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置、画像処理方法及び固体撮像装置に関する。特に、マトリックス型の固体撮像素子から画像信号を読み出す画像処理装置、画像処理方法及び固体撮像装置に関する。

【0002】

【従来の技術】

半導体イメージセンサは、種々の画像入力装置に利用されている。最近、その中で、閾値電圧変調方式のMOS型固体撮像素子が、CCD（電荷結合素子）の高性能画質とCMOSの低消費電力とを兼ね備え、さらに高密度化および低コスト化を実現するものとして注目されている。

閾値電圧変調方式のMOS型固体撮像素子の技術は、例えば、特開平11-195778号公報に開示されている。閾値電圧変調方式のMOS型固体撮像素子では、初期化、蓄積及び読出の3つの状態を繰り返すことによって、各画素のキャリアポケットに蓄積された光発生電荷に基づく画像信号が取り出される。初期化状態の期間は、残留電荷をキャリアポケット内から排出する期間である。蓄積状態の期間は、センサセルに電荷を蓄積する期間である。読出状態の期間は、蓄積された電荷量を電圧変調して読み出す期間である。

【0003】

【特許文献1】

特開平 11-195778 号公報

【0004】

【発明が解決しようとする課題】

ところが、シャッタースピードの変更等の撮像条件の変更があった場合、適切な画像出力を、遅れることなく、確実に得るための読み出し及びクリアのラインの制御については、上述した特開平 11-195778 号には、特に言及されていない。

【0005】

【課題を解決するための手段】

そこで、本発明は、適切な画像出力を遅れることなく確実に得るための画像処理装置、画像処理方法及び固体撮像装置を提供することを目的とする。

本発明の画像処理装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理装置において、前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを、前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する読み出しライン用シフトデータ出力回路とを有する。

【0006】

本発明の画像処理方法は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理方法において、前記マトリックスの各ラインに対して、受光

した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタとを設け、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する。

【0007】

本発明の固体撮像装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子と、前記マトリックスの各ラインに対して、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態において蓄積されたキャリアに応じた信号を読み出すラインを選択するための読み出しライン用シフトレジスタと、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するためのクリアラインを選択するためのクリアライン用シフトレジスタと、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超えているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する読み出しライン用シフトデータ出力回路とを有する。

このような構成によれば、適切な画像出力を遅れることなく確実に得ることができる。

また、本発明の画像処理装置において、さらに、前記クリアライン用シフトレ

ジスタへリセット信号を出力するクリアライン用シフトレジスタリセット信号出力回路を有することが望ましい。

このような構成によれば、次のサイクル中にクリアラインの選択信号が複数存在することがなくなり、一つの画像中に画質が異なる部分が生じてしまうことがなくなる。

【0008】

また、本発明の画像処理装置において、前記撮像条件は、フレームレイト、シャッタースピード及びスキャン方向のいずれかの条件であることが望ましい。

このような構成によれば、特に、フレームレイト、シャッタースピード及びスキャン方向のいずれが変更されても、適切な画像を得ることができる。

【0009】

また、本発明の画像処理装置において、さらに、フレームレイトに従って間引きフレームが発生したとき、前記読み出しライン用シフトデータ出力回路は、前記読み出しライン選択信号を出力することが望ましい。

このような構成によれば、フレームレイトが低くなっても、適切な画像出力を得ることができる。

【0010】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1に基づき、本実施の形態に係わる画像処理装置の構成を説明する。

【0011】

図1は、固体撮像装置であるイメージセンサLSI（大規模集積回路）1と、信号処理装置である信号処理LSI2からなる画像処理装置の構成を示すブロック構成図である。イメージセンサLSI1は、2次元の固体撮像装置であり、光学像を光電変換して、光学像に基づく画素信号を信号処理LSI2へ供給する。信号処理LSI2は、受信した各画素信号に対して予め決められた信号処理を施して、画像信号を出力する。

【0012】

イメージセンサLSI1は、センサセルアレイ3と、クリアライン用シフトレ

ジスタ 4 と、読み出しライン用シフトレジスタ 5 と、垂直ドライブ回路 6 と、昇圧回路 7 と、レギュレータ 8 と、蓄積信号用ラインメモリ 9 と、オフセット信号用ラインメモリ 10 と、水平シフトレジスタ 11 と、出力アンプ 12 と、タイミングジェネレータ 13 とを含む。タイミングジェネレータ 13 は、レジスタ 14 と 3 線シリアルインターフェース 15 を含む。

【0013】

イメージセンサ LSI 1 のセンサセルアレイ 3 は、例えば、特開平 11-195778 号に記載されたような閾値変調型の固体撮像素子である。タイミングジェネレータ 13 から、各回路へ各種制御信号が供給され、その各種制御信号に基づいて、センサセルアレイ 3 は、各セルの受光した光量に応じた画素信号を出力する。また、センサセルアレイ 3 は、例えば、 640×480 のセルと、オプティカルブラック (OB) のための領域 (OB 領域) を含む。OB 領域を含めると、センサアレイ 3 は例えば 712×500 のセルで構成される。そして、イメージセンサ LSI 1 は、受光光量に応じた信号成分の電圧出力信号 VOUTS と、オフセット成分に応じた電圧出力信号 VOUTN の 2 つの出力信号を、信号処理 LSI 2 へ供給する。

【0014】

垂直ドライブ回路 6 は、読み出しラインとクリアラインを選択するための回路である。読み出しライン用シフトレジスタ 5 とクリアライン用シフトレジスタ 4 は、それぞれ読み出しラインとクリアラインを指定するための回路である。

レギュレータ 8 は、イメージセンサ LSI 1 内で必要とされる各種電圧を生成するための電圧生成回路である。昇圧回路 7 は、後述するように、センサセルアレイ 3 に対して必要な電圧を与えるために、レギュレータ 8 から供給された電圧を昇圧するための回路である。なお、イメージセンサ LSI 1 のより詳細な説明は、図 2 を用いて後述する。

【0015】

信号処理 LSI 2 は、差分アンプ回路 16 と、オプティカルブラック (以下、OB と略す。) クランプ回路 17 と、プログラマブルゲインアンプ回路 (PGA) 18 と、アナログデジタル変換回路 (ADC) 19 と、OB 制御ロジック回

路 20 と、輝度制御ロジック回路 21 と、輝度測光ロジック回路 22 と、レジスタ 23 と、イメージプロセッサ 24 と、シーケンサ 25 と、タイミングジェネレータ 26 とを含む。レジスタ 23 は、シャッタースピードデータ等のデータがストアされる。

【0016】

イメージセンサ LSI 1 からの VOUTS と VOUTN の 2 つのアナログ信号は、差分アンプ回路 16 に入力される。信号処理 LSI 2 の差分アンプ回路 16 は、信号成分の電圧値とオフセット成分との電圧値の差を取って増幅し、OB クランプ回路 17 へその差分電圧を出力する。

OB クランプ回路 17 は、入力された画素信号の黒レベルを黒色の適切なレベルに設定するための回路である。センサセルアレイ 3 内の予め決められた数画素分のセル、すなわち OB 領域は、遮光板等によって遮光されており、その遮光されたセルの信号レベルに基づいて、有効画素領域の画素信号に対する適切な黒色レベル調整が行われる。

【0017】

PGA 18 は、例えば 1 デシベル単位でゲインを調整するための増幅器である。PGA 18 によって増幅された信号は、ADC 19 へ供給される。ADC 19 は PGA 18 の出力をデジタル信号に変換する。

OB 領域の画素については、その画素の輝度データが、ADC 19 からデジタル信号として OB 制御ロジック回路 20 に供給される。OB 制御ロジック回路 20 は、タイミングジェネレータ 26 からの制御信号に基づいて、ADC 19 からの信号を入力し、黒レベルの調整をするために OB クランプ回路 17 へ制御信号を出力する。

【0018】

同様に、輝度測光ロジック回路 22 は、例えば、ADC 19 から供給される 1 フレーム内の全ての緑 (G) の画素のデータに基づいて、輝度を測定し、輝度データを輝度制御ロジック 21 に供給する。

輝度制御ロジック回路 21 は、輝度測光ロジック回路 22 から供給される輝度データに基づいて、PGA 18 へゲイン制御信号を供給することによって、画像

の明るさの調整を行う。さらに、輝度制御ロジック回路 21 は、レジスタ 23 へシャッタースピードのデータを書き込む。

【0019】

なお、レジスタ 14 とレジスタ 23 は、互いに同じデータをストアするようになっているので、一方のレジスタの内容が変更されると、3 線シリアルインターフェース 15 を介して、他方のレジスタの内容も変更される。よって、シャッタースピードのデータが、信号処理 LSI 2 内のレジスタ 23 に書き込まれると、さらに、そのデータは、3 線シリアルインターフェース 15 を介して、イメージセンサ LSI 1 内のレジスタ 14 に転送されて書き込まれる。イメージセンサ LSI 1 では、シャッタースピードのデータに基づいて、フォーカルプレーンシャッターの設定が行われる。フォーカルプレーンシャッターの機能については後述する。

【0020】

例えば、イメージセンサ LSI 1 側では、シャッタースピードのデータに基づいて、フォーカルプレーンの読み出しラインとクリアラインの幅 d1 を制御する。画像が明るい場合のように、露光時間を短くする場合には、その幅 d1 を狭めるように、すなわち読み出しラインとクリアライン間のライン数を小さくするように、制御が行われる。また、画像が暗い場合のように、露光時間を長くする場合には、その幅 d1 を広げるように、すなわち読み出しラインとクリアライン間のライン数を大きくするように、制御が行われる。さらに、シャッタースピードの制御だけでは露光が適切でないときは、輝度制御ロジック回路 21 は、信号ゲインを調整することによって、信号量を適切になるように制御する。

【0021】

信号処理 LSI 2 には、システムクロック信号 CLKIN が供給され、そのシステムクロック信号 CLKIN に基づいて、タイミングジェネレータ 26 は、種々のタイミング信号を生成する。信号処理 LSI 2 は、種々のタイミング信号の中から各種同期信号を、イメージセンサ LSI 1 に供給する。同期信号としては、センサ駆動クロック信号 SCLK、垂直同期信号 VSYNC、水平同期信号 HSYNC がある。イメージセンサ LSI 1 はこれらの同期信号に基づいて同期を

取って、画像信号を信号処理LSI2へ供給する。従って、SCLK、VSYNC、HSYNCの各信号は、システムクロック信号CLKINに依存する。

【0022】

信号処理LSI2のレジスタ23には、各種パラメータ、例えば、全体に、あるいは部分的に明るくするためのパラメータ等が、I²C-Bus（アイスクエアシーバス）I/Fを介して入力され、ストアされる。

信号処理LSI2において、イメージプロセッサ24は、RGBの信号に基づいて画像を生成するための回路であり、シーケンサ25は、イメージプロセッサ24を駆動するための回路である。

【0023】

イメージセンサLSI1のタイミングジェネレータ13には、さらにクロック指定信号CLK_SELが、入力されるようになっている。CLK_SELは、イメージセンサLSI1が動作されるクロック周波数の指定を明示的に、イメージセンサLSI1に知らせるすなわちイメージセンサLSI1にクロックの高低指示を制御信号として入力する、ための信号である。CLK_SELに基づいて、タイミングジェネレータ13が各種制御信号の出力タイミングを変更する。さらに、タイミングジェネレータ13には、スタンバイ信号STANDBYが入力される。

【0024】

イメージセンサLSI1のレジスタ14には、シャッタースピード、レギュレータの電圧設定、スキャン方向の指定、等のデータが3線シリアルインターフェース15を介して入力され、ストアされる。

また、イメージセンサLSI1は、一つの制御信号として有効信号VALIDを信号処理LSI2のタイミングジェネレータ26へ供給する。VALIDは、イメージセンサLSI1から有効な画像データが出力されていることを示す信号である。この信号がアクティブなときは、有効な画像データがイメージセンサLSI1から出力されているので、そのデータを測光等に使用できることを、信号処理LSI2は知ることができる。

【0025】

次に、イメージセンサLSI 1の構成について説明する。図2は、イメージセンサLSI 1の構成を示す回路図である。

センサセルアレイ3は、 $m \times n$ (m 行 n 列) 個のセル $S_{11} \sim S_{mn}$ からなるマトリックスの固体撮像素子である。一つのセルが、一つの単位画素に対応する。各単位画素に対応する各セルは、フォトダイオードPDSと、光信号検出用絶縁ゲート型電界効果型トランジスタであるMOSトランジスタPDTrを含む。フォトダイオードPDSは、不純物拡散領域とウエル領域からなり、入射光に応じてホール（正孔）がウエル領域内に生じる。そのウエル領域は、光信号検出用MOSトランジスタPDTrと共有されており、光信号検出用MOSトランジスタPDTrのゲート領域を構成する。フォトダイオードPDSの不純物拡散領域と、光信号検出用MOSトランジスタPDTrのドレイン拡散領域は、ウエル領域の表層に一体的に形成されている。ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。リング状のゲート電極の中心部にソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部に、ソース拡散領域を取り囲むようにキャリアポケットが形成されている。センサ構造の詳細は、特開平11-195778号公報に記載されている。

【0026】

センサセルアレイ3から光量に応じた信号を得るために、蓄積、読み出し及びクリアの3状態のそれぞれにおいて、各セルのゲート、ソース及びドレインに、所定のバイアス電圧を印加することによって、光量に応じた信号を得ることができる。簡単に言えば、蓄積状態のとき、フォトダイオードPDSに入射した光量に応じて生じたホールをキャリアポケットに蓄積させる。読み出し状態のとき、蓄積されたホールに基づいて信号電圧を読み出す。読み出された信号電圧は、ゲート電圧と、受光量に応じて変化した閾値との差に応じた電圧信号である。クリア状態のとき、昇圧回路7によって光信号検出用MOSトランジスタPDTrのソース電圧を所定の値に昇圧するとともに、リングゲート、ソース間のカップリング容量により、ゲート電圧も所定の値に昇圧され、光信号検出用MOSトランジスタPDTrがターンオンし、リングゲート下にチャンネルが形成される。従っ

て、ドレイン電圧はソース電圧とほぼ等しい値（ドレイン電圧 $V_D = V_G - V_{th}$ でゲート電圧 V_G がソース電圧より十分高い場合）となり、ソース、チャネル、ドレイン下の空乏層が広がることによって、蓄積されたホールは基板方向へ掃き出され、ホール等の残留電荷を排出する。クリア後、ノイズ成分を含むオフセット電圧を読み出し、信号電圧とオフセット電圧との差分をとることによって、画像信号を得ることができる。各セルについて、上述した動作を行い、画像信号を得ることによって、2次元の画像信号を得ることができる。バイアス条件、すなわち各状態における各セルのゲート、ソース及びドレインのバイアス電圧については、後述する。

【0027】

クリアライン用シフトレジスタ4は、クリアするラインを指定するための回路である。クリアライン用シフトレジスタ4には、クリアライン用シフトデータAV、クリアライン用シフトクロック信号 $VCLK_ASR$ 、クリアライン用シフトレジスタリセット信号 $VSFR_RST$ が入力される。クリアライン用シフトレジスタ4は、マトリックス状のセンサセルアレイ3の中の、蓄積電荷をクリアするラインを選択するクリアライン選択信号 $VSA1$ ないし VSA_m を出力する。

【0028】

読み出しライン用シフトレジスタ5は、読み出しラインを指定するための回路である。読み出しライン用シフトレジスタ5には、読み出しライン用シフトデータBV、読み出しライン用シフトクロック信号 $VCLK_BSR$ 、読み出しライン用シフトレジスタリセット信号 $VSFR_RST$ が入力される。読み出しライン用シフトレジスタ5は、マトリックス状のセンサセルアレイ3の中の、信号電圧を読み出すラインを選択する読み出しライン選択信号 $VSB1$ ないし VSB_m を出力する。

【0029】

シャッタースピードのデータに基づいて決められた出力タイミングでクリアライン用シフトデータAVと読み出しライン用シフトデータBVが与えられることによって、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ

5は、順番に選択信号を出力する。すなわち、読み出しライン用シフトデータBVは、垂直同期信号VSYNCに対して予め決められたタイミングで生成されるが、読み出しライン用シフトデータBVとクリアライン用シフトデータAVとの位相関係はシャッタースピードによって決定され、その位相関係を保った状態で、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。なお、後述するように、1フレーム中に読み出しラインとクリアラインが存在するときは、センサアレイの中の2つのラインが指定され、選択される。

【0030】

垂直ドライブ回路6は、ライン毎に、2つのAND回路31、32と、OR回路33と、バッファ回路34と、ドレイン・ゲート電圧供給回路VC1i（iは、1からmのいずれかである。以下、同じ。）とを含む。一つのAND回路31は、クリアライン選択信号VSAiとクリアライン選択イネーブル信号CLSとを入力とする。他方のAND回路32は、読み出しライン選択信号VSBiと、信号読み出し、クリア、ノイズ読み出しの3つの動作の読み出しライン選択イネーブル信号VSMとを入力とする。OR回路33は、各AND回路31、32の出力信号と蓄積時全ライン選択信号VGUPとを入力とする。バッファ回路34は、そのOR回路33からの出力信号を入力とする。各バッファ回路34の出力信号は、ライン選択信号VSCiとして、ドレイン・ゲート電圧供給回路VC1iへ供給される。

【0031】

ドレイン・ゲート電圧供給回路VC1iには、ライン選択信号VSCiに加えて、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR2及びクリアパルス信号CLが入力される。ドレイン・ゲート電圧供給回路VC1iは、対応するラインの全セルのゲート及びドレインに印加するための電圧を選択して出力する。すなわち、ドレイン・ゲート電圧供給回路VC1iは、各ラインの各セルに、ドレイン電圧VPDiと、ゲート電圧VPGiを供給する。このドレイン・ゲート電圧供給回路VC1iの詳細は後述する。

【0032】

ソース電圧供給回路 $VC2h$ (h は、1 から n のいずれか。以下、同じ。) が、マトリックスの列毎に、設けられている。ソース電圧供給回路 $VC2h$ には、クリアパルス信号 CL 及びクリア前ゲートプリセット信号 PR が入力される。ソース電圧供給回路 $VC2h$ は、各列の全セルのソースに、ソース電圧 VPS_h を供給する。このソース電圧供給回路 $VC2h$ の詳細は後述する。

【0033】

各列に対応するソース線が蓄積信号用ラインメモリ 9 とオフセット信号用ラインメモリ 10 とに、ラインメモリデータロード信号 $LOAD$ が入力されるスイッチ $SW1h$ を介して接続されている。

蓄積信号用ラインメモリ 9 は、各列に対応した選択回路 HS_h を含む。各選択回路 HS_h は、電荷蓄積用コンデンサ $C2$ と、読み込み用スイッチ $SW21$ と、リセット用スイッチ $SW22$ と、出力用スイッチ $SW23$ とを含む。

【0034】

オフセット信号用ラインメモリ 10 は、各列に対応した選択回路 HN_h を含む。各選択回路 HN_h は、電荷蓄積用コンデンサ $C3$ と、読み込み用スイッチ $SW31$ と、リセット用スイッチ $SW32$ と、出力用スイッチ $SW33$ とを含む。

蓄積信号用ラインメモリ 9 への蓄積信号用ラインメモリデータロード信号 $LOADS$ が入力されると、 $SW21$ がオンとなって、各ソース線から光量に応じた電圧がコンデンサ $C2$ に与えられ、コンデンサ $C2$ にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ 5 によって選択された 1 ライン分の画素信号が、 $LOADS$ に応じて、蓄積信号用ラインメモリ 9 にストアされる。

【0035】

蓄積信号用ラインメモリ 9 への蓄積信号用ラインメモリリセット信号 $RESS$ は、信号読み出し直前にコンデンサ $C2$ を予め決められた電圧 $VMPR$ にするための信号である。電圧 $VMPR$ は、リセット用スイッチ $SW22$ をオンにすることによって、レギュレータ 8 で生成された電源 35 からコンデンサ $C2$ に供給される。

【0036】

そして、水平シフトレジスタ 11 からの選択信号 $HSCAN_h$ によって、蓄積

信号用ラインメモリ 9 の各選択回路 H S h のスイッチ S W 2 3 は順番にオンされていく。オンされた S W 2 3 は、コンデンサ C 2 に蓄積された電荷に応じた電圧を出力するので、読み出しライン用シフトレジスタ 5 で選択された 1 ラインの画素信号が、V O U T S 信号として順番に出力アンプ 3 6 を介して出力される。

【0037】

オフセット信号用ラインメモリ 10 へのオフセット成分蓄積信号用ラインメモリデータロード信号 L O A D N が入力されると、スイッチ S W 3 1 がオンとなって、各ソース線からオフセット成分に応じた電圧が与えられ、コンデンサ C 3 にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ 5 によって選択された 1 ライン分の画素信号が、オフセット成分蓄積信号用ラインメモリデータロード信号 L O A D N に応じて、オフセット信号用ラインメモリ 10 にストアされる。オフセット信号用ラインメモリ 10 へのオフセット信号用ラインメモリリセット信号 R E S N は、オフセット成分の信号の読み出し直前にコンデンサ C 3 を予め決められた電圧 V M P R にするための信号である。電圧 V M P R は、リセット用スイッチ S W 3 2 をオンにすることによって、レギュレータ 8 で生成された電源 3 7 からコンデンサ C 3 に供給される。

【0038】

そして、水平シフトレジスタ 11 は、オフセット信号用ラインメモリ 10 の各選択回路 H N h のスイッチ S W 3 3 を順番にオンしていく。オンされた S W 3 3 は、コンデンサ C 3 に蓄積された電荷に応じた電圧を出力させるので、読み出しライン用シフトレジスタ 5 で選択された 1 ラインの画素信号のオフセット成分の信号が、V O U T N 信号として順番に出力アンプ 3 8 を介して出力される。イメージセンサ L S I 1 からの V O U T S と V O U T N の 2 つの電圧アナログ信号は、信号処理 L S I 2 の差分アンプ回路 16 に入力される。

【0039】

図 3 は図 2 のドレイン・ゲート電圧供給回路 V C 1 1 ないし V C 1 m の構成を示す回路図である。ドレイン・ゲート電圧供給回路 V C 1 i は、N A N D 回路、インバータ回路、トランジスタを含み、各種入力信号に応じて、ドレイン電圧 V P D とゲート電圧 V P G を出力する。

各ドレイン・ゲート電圧供給回路 $V C 1 i$ には、クリアパルス信号 $C L$ 、蓄積イネーブル信号 $S D I$ 及び読み出しイネーブル信号 $S D R 2$ が入力され、供給されている $V C C S G H R$ 、 $V C C S G H I$ 、 $V C C S D R$ 及び $V C C S D I$ の電圧を用いて、後述する図 5 のバイアス電圧を発生し、各センサセルのドレインとゲートに与える。

【0040】

センサセルアレイ 3 は、次のような状態を有する。これらの各状態は、詳細には、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)” 及び “変調 (N)” の各状態を含み、これらの各状態の繰返しによって、光学像を電気信号に変換して出力する。蓄積イネーブル信号 $S D I$ は、ローアクティブの信号であり、蓄積期間を示す信号である。読み出しイネーブル信号 $S D R 2$ は、蓄積期間以外の期間を示す信号 $S D R$ を元に生成された信号であり、変調、オフセット変調及びクリア時にローアクティブとなる信号である。また、ライン選択信号 $V S C i$ は、読み出しライン及びクリアラインの選択に用いられ、クリアパルス信号 $C L$ は、蓄積されたホール等の残留電荷を排出する期間に設定される。

【0041】

図 3 において、クリアパルス信号 $C L$ が L レベルでライン選択信号 $V S C i$ が H レベルになるものとする。この場合には、PMOS トランジスタ $T 1$ 、NMOS トランジスタ $T 2$ はオンとなり、PMOS トランジスタ $T 3$ はオフとなる。そうすると、ゲート電圧 $V P G i$ は電圧 $V C C S G H I$ 又は電圧 $V C C S G H R$ となる。なお、PMOS トランジスタ $T 1$ はエンハンス型、NMOS トランジスタ $T 2$ はディプレッション型の MOS トランジスタである。

【0042】

逆に、クリアパルス信号 $C L$ が H レベルでライン選択信号 $V S C$ が L レベルの場合には、トランジスタ $T 1$ 、 $T 2$ はオフとなり、トランジスタ $T 3$ はオンとなる。この場合には、ゲート電圧 $V P G i$ はローレベルの電圧となる。なお、クリアパルス信号 $C L$ 及びライン選択信号 $V S C i$ が H レベルの場合には、トランジスタ $T 1$ 、 $T 2$ 、 $T 3$ はオフとなり、ゲートはフローティング状態となる。

【0043】

また、クリアパルス信号CLがLレベルの場合又はライン選択信号VSCがLレベルの場合には、NMOSトランジスタT5はオンとなる。各ラインのトランジスタT5のソースは共通接続されてCOMノードを構成する。トランジスタT5がオンの場合には、各ラインのドレインはCOMノードに接続されてフローティング状態となる。トランジスタT5がオンの場合において、蓄積イネーブル信号SDIがLレベルのときには、PMOSトランジスタT6とNMOSトランジスタT7もオンとなって、ドレイン電圧VPDiは電圧VCCSDIとなる。また、トランジスタT5がオン状態で、読み出しイネーブル信号SDR2がLレベルになると、PMOSトランジスタT4もオンとなって、ドレイン電圧VPDiは電圧VCCSDRとなる。また、トランジスタT4～T7のうちトランジスタT5のみがオン状態の場合には、全てのドレインはフローティング状態のCOMノードに接続されてHiZとなる。

なお、トランジスタT1には、蓄積イネーブル信号SDIがLレベルの場合に電圧VCCSGHIが供給され、信号SDRがLレベルの場合に電圧VCCSGHRが供給されるようになっている。

【0044】

即ち、図3の回路は下記表1の状態を得る。なお、表1には、着目している信号のHレベルとLレベルのみ示されている。

(表1)

VSCi	CL	SDI	SDR2	VPGi
L	L			L (GND)
L	H			L (GND)
H	L	L		VCCSGHI
H	L		L	VCCSGHR
H	H			フローティング
VSCi	CL	SDI	SDR2	VPDi
L		L		VCCSDI
	L	L		VCCSDI

L		L	VCCSDR
	L	L	VCCSDR
	L	H	Hiz

図4 (a) は、図2のソース電圧供給回路VC21ないしVC2nの構成を示す回路図である。ソース電圧供給回路VC2hは、コンデンサとトランジスタを含み、各種入力信号に応じて、ソース電圧VPShを出力する。

図4 (b) は、図4 (a) におけるS1、S2、S3及びS4の信号を生成するための回路を示す。

各ソース電圧供給回路VC2hは、クリアパルス信号CLの反転信号S1～S3と、プリセット信号PRの正転信号S4とが入力され、供給されているVCCSDB及びVCCVPSを用いて、図5のSOURCEバイアス電圧を発生して、各センサセルのソースに与える。

【0045】

図4 (b) において、信号S1～S3はクリアパルス信号CLの反転信号であり、プリセット信号PRの正転信号S4は、クリア前ゲートプリセット信号PRと同一論理レベルの信号である。クリアパルス信号CL及びクリア前ゲートプリセット信号PRがいずれもLレベルの場合には、反転信号S1～S3はHレベルであり、プリセット信号PRの正転信号S4はLレベルである。従って、NMOSトランジスタT11、T13はオンであり、PMOSトランジスタT12、T14はオフであり、NMOSトランジスタT15はオフである。即ち、この場合には、トランジスタT14、T15がオフであるので、ソース電圧供給回路VC2hはソース電圧を供給しない。なお、この時点では、ND1点の電圧値はグラウンドレベル (GND) であり、ND2点の電圧値はVCCSDBである。

【0046】

また、クリアパルス信号CLがLレベルで、クリア前ゲートプリセット信号PRがHレベルの場合には、反転信号S1～S3及びプリセット信号PRの正転信号S4はHレベルである。従って、トランジスタT11、T13、T15はオンであり、トランジスタT12、T14はオフである。即ち、この場合には、ソース電圧VPShは電圧VCCVPSとなり、また、ND1点の電圧値はグラウンドレベル (G

ND) であり、ND 2 点の電圧値は V_{CCSDB} である。従って、この間、コンデンサ $C1$ は電圧 V_{CCSDB} まで充電される。

【0047】

また、クリアパルス信号 CL が H レベルで、クリア前ゲートプリセット信号 PR が L レベルの場合には、反転信号 $S1 \sim S3$ 及びプリセット信号 PR の正転信号 $S4$ は L レベルである。従って、トランジスタ $T11$, $T13$, $T15$ はオフであり、トランジスタ $T12$, $T14$ はオンである。即ち、この場合には、ND 2 点の電圧がソース電圧 V_{PSH} となる。仮に、この場合の直前に、コンデンサ $C1$ の電圧が V_{CCSDB} に充電されていれば、トランジスタ $T12$ がオンすることによって ND 1 点は電圧 V_{CCSDB} になるので、ND 2 点の電圧値は $V_{CCSDB} \times 2$ となる。

【0048】

即ち、図 4 の回路は下記表 2 の状態を得る。

(表 2)

	CL	PR	VPSH
①	L	L	電圧を供給しない
②	L	H	V_{CCVPS}
③	H	L	②の状態直後であれば $V_{CCSDB} \times 2$

図 5 は、センサセルへ印加するバイアス電圧を説明するための図である。

図 5 は、各状態における、各セルのゲート電圧、ソース電圧及びドレイン電圧の電圧値を示す。なお、図 5 ではバイアス電圧の観点から、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)” 及び “変調 (N)” の各状態に分けて示している。

【0049】

図 5 において、GATE は、セルのゲート電圧であり、選択状態と非選択状態の 2 つの状態を有する。SOURCE は、セルのソース電圧である。DRAIN は、セルのドレイン電圧であり、選択状態と非選択状態の 2 つの状態を有する。

まず、蓄積状態の場合について説明する。

【0050】

“蓄積”の状態（以下、蓄積状態という。）のとき、セルアレー中の全てのセルが選択状態とされ、電圧値が $VCCSGHI$ である電圧が、ゲートに印加される。蓄積状態のとき、非選択のセルはない。蓄積状態のとき、ソースは、ソース電圧供給回路 $VC2h$ からのバイアス電圧の供給を受けないが、ゲートに $VCCSGHI$ の電圧が印加され、光信号検出用 MOS トランジスタ $PDTr$ がターンオンしているので、ソース・ドレイン間が導通状態になり、蓄積状態ではソースはドレイン電圧（ $VCCSDI$ ）に等しくなる。

【0051】

次に、“リセット（S）”の状態（以下、 $RESS$ 状態と略す。）の場合について説明する。

選択状態のセルの場合、 $RESS$ 状態のとき、電圧値が Lo （ L レベル）である電圧が、ゲートに印加される。 $RESS$ 状態のときは、電圧値が $VMPR$ である電圧が、ソースに印加される。選択状態のセルの場合、 $RESS$ 状態のとき、ゲートに Lo の電圧が印加され、光信号検出用 MOS トランジスタ $PDTr$ がオフしているので、ソース・ドレイン間が非導通状態になり、ドレインはハイインピーダンス（ HiZ ）となる。

【0052】

また、非選択状態のセルの場合、 $RESS$ 状態のときは、電圧値が Lo （ L レベル）である電圧が、ゲートに印加される。あるセルが非選択状態で、 $RESS$ 状態のときは、ドレインは HiZ となる。

“変調（S）”の状態（以下、 $LOADS$ 状態と略す。）において、選択状態のセルの場合、電圧値が $VCCSGHR$ である電圧が、ゲートに印加される。選択状態のセルの場合、電圧値が $VCCSDR$ である電圧が、ドレインに印加され、電圧値が $(VCCSGHR - V_{thS})$ である電圧が、ソースに出力される。 $LOADS$ 状態では、 $(VCCSGHR < VCCSDR)$ の関係が成り立つバイアス電圧を印加する必要がある。

【0053】

また、非選択状態のセルの場合、 $LOADS$ 状態のとき、電圧値が Lo である

電圧が、ゲートに印加され、電圧値が $VCCSDR$ である電圧が、ドレインに印加される。

続いて、“プリセット”の状態（以下、PR状態と略す。）の場合について説明する。

選択状態のセルの場合、PR状態のとき、電圧値が $VCCSGHR$ である電圧が、ゲートに印加される。PR状態のとき、電圧値が $VCCVPS$ である電圧が、ソースに印加される。選択状態のセルの場合、PR状態のとき、光信号検出用 MOS トランジスタ $PDTr$ がターンオンしているので、ドレインはソースと同じ電圧となる。

【0054】

また、非選択状態のセルの場合、PR状態のとき、電圧値が L_o である電圧が、ゲートに印加され、ドレインは $VCCVPS$ となる。 $VSCi$ が L_o レベルのライン（＝非選択ライン）は $T5$ がターンオンし、各ラインが共通ノード（COMノード）に接続されて COM ノードが HiZ となる。

“クリア”の状態（以下、CL状態と略す。）において、選択状態のセルの場合、電圧値が $(VCCSDB \times 2)$ である電圧が、ソースに印加され、光信号検出用 MOS トランジスタ $PDTr$ がターンオンしているので、ドレインはソースと同じ電圧となる。その結果、電圧値が $(VCCSGHR + VCCSDB \times 2)$ の電圧が、ゲートに印加される。

【0055】

また、非選択状態のセルの場合、CL状態のとき、電圧値が L_o である電圧が、ゲートに印加され、電圧値が $VCCSDR$ である電圧が、ドレインに印加される。

次に、“リセット (N)”の状態（以下、RESN状態と略す。）の場合について説明する。

選択状態のセルの場合、RESN状態のとき、電圧値が L_o である電圧が、ゲートに印加される。RESN状態のとき、電圧値が $VMPR$ である電圧が、ソースに印加される。選択状態のセルの場合、RESN状態のとき、ドレインは HiZ となる。

【0056】

また、非選択状態のセルの場合、RESN状態のとき、電圧値が L_o である電圧が、ゲートに印加される。非選択状態のセルの場合、RESN状態のとき、ドレインは H_iZ となる。

なお、クリアパルス信号CLがLレベルの期間では、図3のNMOSトランジスタT5がターンオンしている。従って、RESS状態でもNMOSトランジスタT5はターンオンしてドレインはCOMノードに接続される。読み出しイネーブル信号SDR2は、RESS状態とRESN状態でHレベルとなるので、PMOSトランジスタT4がターンオフし、COMノードはフローティングとなる。

【0057】

“変調(N)”の状態(以下、LOADN状態と略す。)において、選択状態のセルの場合、電圧値が V_{CCSGHR} である電圧が、ゲートに印加される。LOADN状態のとき、電圧値が V_{CCSDR} である電圧が、ドレインに印加され、電圧値が $(V_{CCSGHR} - V_{thN})$ である電圧が、ソースに出力される。

また、非選択状態のセルの場合、LOADN状態のとき、電圧値が L_o である電圧が、ゲートに印加され、電圧値が V_{CCSDR} である電圧が、ドレインに印加される。

LOADS状態と同様に、LOADN時も図3のT5がターンオンしているのでドレインはCOMノード(= H_iZ)に接続される。

【0058】

図6は、センサの読み出しラインとクリアラインを説明するための図である。

図6に示すように、 $m \times n$ の画素マトリックスにおいて、各ラインが第1のラインから第mのラインまで順番に走査される。読み出しラインは、光量に応じた信号が読み出されるラインであり、クリアラインは、各セルに蓄積された電荷がクリアされるラインである。第1ラインから順番に走査が行われるので、クリア用選択信号に基づいてクリアされたラインの各セルに、その後に受光した光量に応じてホールが生成される。クリア後、読み出しライン選択信号 V_{SBI} によっ

て読み出されるまでの時間が露出時間となる。露出時間は、読み出しラインとクリアライン間のライン数 $d1$ に比例し、シャッタースピードの設定、すなわち、 $1H$ (H は水平ライン数を示す。以下同じ。) から mH の範囲 (あるいは $(1 \text{ フレーム} + 1H)$ 以上でもよい) の設定によって変更することができる。

【0059】

図7は、垂直同期信号 $VSYNC$ と水平同期信号 $HSYNC$ のタイミングを示すタイミングチャートである。

垂直同期信号 $VSYNC$ は、周期 $t1$ 毎に発生される、 $t2$ 時間長さのタイミングパルスである。水平同期信号 $HSYNC$ は、周期 $t3$ 毎に発生される、 $t4$ 時間長さのタイミングパルスである。垂直同期信号 $VSYNC$ と水平同期信号 $HSYNC$ は、信号処理 $LSI2$ のタイミングジェネレータ26からイメージセンサ $LSI1$ へ供給される。

【0060】

垂直同期信号 $VSYNC$ が供給されると、読み出しライン用シフトレジスタ5は、選択信号 $VSBI$ を順次出力する。垂直同期信号 $VSYNC$ の供給後の周期 $t1$ 内において、水平同期信号 $HSYNC$ が、センサセルアレイ3のライン数 ($=m$) だけ出力される。そして、水平同期信号 $HSYNC$ が出力されている期間 $t4$ 内であってかつ $VGUP$ が L の期間に、上述した信号成分の読み出し、クリア、そしてオフセット成分の読み出しの動作が行われる期間が存在する。この $VGUP$ が L の期間は、 H ブランキング期間中の所定の期間に設定される。 H ブランキング期間については、後で図9を用いて詳述する。

【0061】

周期 $t3$ 内の期間 $t4$ 後の期間 $t5$ 内に、 n 個の信号成分とオフセット成分のアナログ信号 $VOUTS$ と $VOUTN$ が出力される。

次に、イメージセンサ $LSI1$ のタイミングジェネレータ (以下、 TG という) 13の回路構成について図8を参照して説明する。

図8は、図1のイメージセンサ $LSI1$ の $TG13$ の構成を示す回路ブロック図である。

【0062】

TGは、シリアルコントロールブロック71、マスタタイミング制御ブロック72、センサレジスタブロック73、シャッターコントロール部（シャッタスピード上限制御部）74、フレームコントロール部75、H・Vカウンタ76、垂直スキャン制御ブロック77、水平スキャン制御ブロック78、アナログ制御ブロック79を含む。

【0063】

シリアルコントロールブロック71には、当該シリアルコントロールブロック71と、信号処理LSI2のレジスタ14との間のインターフェース信号である3線シリアルI/F信号が入出力される。

マスタタイミング制御ブロック72には、信号処理LSI2のTG26からセンサ駆動クロックSCLK、水平同期信号HSYNC及び垂直同期信号VSYNCが入力される。またTG13には、信号処理LSI2からのクロック指定信号CLK_SELと、スタンバイ信号STANDBYが入力されている。

【0064】

シリアルコントロールブロック71は、信号処理LSI2のレジスタ23に書き込まれているシャッタスピードの設定データ、レギュレータ8の設定データ及びシステムクロック情報などをシリアルI/F信号として入力し、これらのデータについてライトデータ、ライトアドレス及びライトストロブ信号WRを出力し、センサレジスタブロック73に供給する。

【0065】

前記センサレジスタブロック73は、上記の入力信号に応じて、ラインシャッタスピード設定信号、フレームシャッタスピード設定信号、フレームモード設定信号、クリアパルス幅制御設定信号、クリアパルス印加回数設定信号、ゲイン設定信号及びレギュレータ電圧設定信号を出力する。

一方、マスタタイミング制御ブロック72は、前述の各種入力信号に基づいて、ピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号を出力する。

【0066】

シャッタコントロール部（シャッタスピード上限制御部）74には、センサレ

ジスタブロック 73 からのラインシャッタスピード設定信号及びフレームシャッタスピード設定信号が入力され、出力としてラインシャッタスピードデータ及びフレームシャッタスピードデータを出力する。

フレームコントロール部 75 には、前記マスタタイミング制御ブロック 72 からのピクセルクロック、垂直リセットパルス及びリセット信号と、前述のスタンバイ信号 S T A N D B Y が入力され、出力としてフレームカウント値、フレーム制御データ及びバリッド (V A L I D) 制御信号を出力する。

また、H・Vカウンタ 76 には、前記マスタタイミング制御ブロック 72 からのピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号が入力され、出力としてラインカウント値及びピクセルカウント値を出力する。

【0067】

垂直スキャン制御ブロック 77 には、入力として、前記シャッタコントロール部 74 からのラインシャッタスピードデータ及びフレームシャッタスピードデータ、前記フレームコントロール部 75 からのフレームカウント値、フレーム制御データ及びバリッド (V A L I D) 制御信号、前記センサレジスタブロック 73 からのクリアパルス幅制御設定信号及びクリアパルス印加回数設定信号、前記マスタタイミング制御ブロック 72 からのピクセルクロック及びリセット信号、クロック指定信号 C L K _ S E L、前記 H・Vカウンタ 76 からのラインカウント値及びピクセルカウント値が入力される。

【0068】

垂直スキャン制御ブロック 77 は、出力としてクリアライン用シフトデータ A V、クリアライン用シフトクロック V C L K _ A S R、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T、クリアライン選択イネーブル信号 C L S、読み出しライン用シフトデータ B V、読み出しライン用シフトクロック V C L K _ B S R、読み出しライン用シフトレジスタリセット信号 V S F R B _ R S T、読み出しライン選択イネーブル信号 V S M、蓄積時全ライン選択信号 V G U P、蓄積イネーブル信号 S D I、読み出しイネーブル信号 S D R、クリア前ゲートプリセット信号 P R、クリアパルス C L を出力する。

【0069】

水平スキャン制御ブロック78には、入力として、前記フレームコントロール部75からのバリッド (VALID) 制御信号、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック73からのクリアパルス幅制御設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号CLK__SELが入力される。

【0070】

水平スキャン制御ブロック78は、出力としてラインメモリ選択用シフトデータAH, ラインメモリ選択用シフトクロックCIN, ラインメモリ選択イネーブル信号HSC__CK, 蓄積信号用ラインメモリリセット信号RESS, 蓄積信号用ラインメモリデータロード信号LOADS, オフセット用ラインメモリリセット信号RESN, オフセット用ラインメモリデータロード信号LOADNを出力する。

【0071】

上記のクロック指定信号CLK__SELは、システムクロック信号CLKINの周波数の高低を示す信号であるが、このCLK__SELは垂直スキャン制御ブロック77及び水平スキャン制御ブロック78に供給されている。各制御ブロック77及び78では、クロック指定信号CLK__SELのH, Lレベルに応じて各ブロック77及び78から出力される各種センサ駆動信号の出力タイミングを制御できるようになっている。

【0072】

アナログ制御ブロック79には、前記フレームコントロール部75からのバリッド (VALID) 制御信号、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック73からのゲイン設定信号、スタンバイ信号STANDBYが入力され、出力としてアナログアンプゲイン制御信号、アンプ用駆動クロックCDL, スタンバイ制御信号を出力する。

【0073】

そして、前記フレームコントロール部75からのバリッド (VALID) 制御

信号はVALID信号としてTG13から信号処理LSI2へ出力されるようになっている。

また、前記センサレジスタブロック73からのレギュレータ電圧設定信号と、前記アナログ制御ブロック79からのスタンバイ制御信号とは、図1のイメージセンサLSI1のセンサ駆動バイアス発生用レギュレータ8に入力される。

【0074】

前記アナログ制御ブロック79からのアナログアンプゲイン制御信号とアンプ用駆動クロックCDLとは、図1のイメージセンサLSI1の出力アンプ12の制御用信号となる。

図9はセンサセルアレイ3の光電変換を制御する各信号を示すタイミングチャートである。センサセルアレイ3は、“蓄積”、“リセット(S)”、“変調(S)”、“プリセット”、“クリア”、“リセット(N)”及び“変調(N)”の各状態の繰返しによって、光学像を電気信号に変換して出力する。図9はこれらの各状態における信号の様子を示している。センサセルアレイ3は、図7の垂直同期信号VSNYC及び水平同期信号HSYNCを単位時間とした所定のフレームレートで動作する。

【0075】

図9の例では、あるラインカウント信号ROWCTにおいて、HSYNCが、ピクセルクロック信号PXLCTが1から80までLレベルであり、さらにPXLCTが5から22までがLOADS（リセット(S)＋変調(S)）状態に、PXLCTが27から44までがCL（プリセット＋クリア）状態に、PXLCTが45から63までがLOADN（リセット(N)＋変調(N)）状態に割り当てられている。

なお、各制御信号はTG13によって生成され出力される。TG13は、論理回路で構成されるが、その論理回路は、Verilog-HDL、VHDL等のHDL（Hardware Description Language：ハードウェア記述言語）を利用した設計システムを用いれば、自動設計することができる。

【0076】

先ず、蓄積状態について説明する。

図7に示すHブランキング期間中の所定期間（図9の第5ピクセル～第63ピクセル）以外の期間が蓄積期間である。蓄積期間には、全画素が蓄積状態となる。この期間には、蓄積時全ライン選択信号V_{GUP}はHレベルで、蓄積イネーブル信号S_{DI}及びクリアパルス信号C_LはLレベルである。図2に示すように、蓄積時全ライン選択信号V_{GUP}がHレベルとなることによって全てのライン選択信号V_{SCi}がHレベルとなり、ドレイン・ゲート電圧供給回路V_{C1i}の動作を示す上記表1に示すように、ゲート電圧V_{PGi}はV_{CCSGHI}となる。また、ドレイン電圧V_{PDi}は電圧V_{CCSDI}となる。また、この期間には、クリア前ゲートプリセット信号P_RもLレベルであり、ソース電圧供給回路V_{C2h}の動作を示す上記表2に示すように、ソース電圧供給回路V_{C2h}はソース電圧を供給しない。この場合には、セルアレー中の全てのセルのソースは、光信号検出用MOSトランジスタP_{DTr}がターンオンしドレイン電圧に一致する。

【0077】

Hブランキング期間の第5ピクセルにおいて蓄積期間は終了し信号読み出しが開始される。この信号読み出しのための期間（L_{OADS}, C_L, L_{OADN}期間）においても、受光光量に基づくホールの蓄積は継続されるが、各セルは蓄積期間とは異なる設定値に設定される。また、信号読み出しのための期間には、クリアライン、読み出しライン又は非選択ラインでは、各セルは個別の設定値に設定される。

【0078】

先ず、リセット（s）状態について説明する。図9に示すように、この期間においても、全てのセルに共通の設定が行われる。

図9に示すように、クリアパルス信号C_L及びクリア前ゲートプリセット信号P_RはLレベルであり、ソース電圧供給回路V_{C2h}はソース電圧を供給しない。この期間においては、蓄積信号用ラインメモリリセット信号R_{ESS}がハイアクティブとなり、図2のスイッチS_{W22}がオンとなって、ラインメモリを構成するコンデンサC₂の端子電圧はV_{MPR}にチャージされる。更に、蓄積信号用ラインメモリデータロード信号L_{OADS}及びラインメモリデータロード信号L

O A D もハイアクティブとなり、スイッチ S W 2 1 及びスイッチ S W 1 1 がオンとなって、ソースラインを電圧 V M P R で初期化する。

【0079】

一方、蓄積時全ライン選択信号 V G U P は H から L に変化し、全てのライン選択信号 V S C i は L レベルに変化する。従って、表 1 に示すように、ゲート電圧 V P S G i は全て L (G N D) レベルとなる。また、蓄積イネーブル信号 S D I は H レベルであり、S D R 2 も H レベルであるため、表 1 に示すように、図 3 中の T 5 がターンオンしているので、全てのセルのドレインは共通に接続され (C O M ノード) 、その C O M ノードは H i z 状態となる。

【0080】

次に、変調 (s) 状態について説明する。

図 9 に示すように、C L , P R は L レベルを維持しており、ソース電圧供給回路 V C 2 h はソースラインに電圧を供給していない。各セルに設定した電圧値に応じた出力がソースラインを介して出力される。即ち、クリアライン及び非選択ラインについてはライン選択信号 V S C i は L レベルのままであり、ゲート電圧は L (G N D) レベルである。また、読み出しイネーブル信号 S D R 2 も L レベルであるので、ドレイン電圧 V P D i は V C C S D R となる。

【0081】

読み出しラインについてはライン選択信号 V S C i は H レベルである。クリアパルス信号 C L 及び信号 S D R が L レベルであるので、ゲート電圧 V P G i は V C C S G H R である。ドレイン電圧 V P D i は V C C S D R である。これにより、ソース電圧 V P S i には電圧 (V C C S G H R - V t h S) が現れる。なお、V t h S は、蓄積されたホールに応じて変化する。ソースラインの電圧 (V C C S G H R - V t h S) は、スイッチ S W 2 1 を介してラインメモリを構成する各コンデンサ C 2 に蓄積される。

【0082】

次に、相関 2 重サンプリング処理のために、読み出しラインの各セルに蓄積されているホールを除去 (クリア) するための C L 状態を設定する。ホールの除去のためには極めて高い電圧をゲートに印加する必要がある、クリア状態の前に

リセット状態を設定して、倍圧回路を利用して高電圧を得るようになっている。
なお、読み出しラインのクリアと同時にクリアラインの各セルのクリアも行うようになっている。

【0083】

まず、プリセット状態においては、読み出しラインとクリアラインについては、ライン選択信号 VSC_i は H レベルである。クリアパルス信号 CL 及び信号 SDR は L レベルであるので、ゲート電圧 $VPGi$ は $VCCSGHR$ である。なお、非選択ラインについては、ライン選択信号 VSC_i が L レベルであるので、ゲート電圧は L (GND) レベルである。

【0084】

また、クリアパルス信号 CL は L レベルで、クリア前ゲートプリセット信号 PR は H であるので、表 2 に示すように、全ソースラインの電圧 $VPSh$ は電圧 $VCCVPS$ (例えば 0 V) にリセットされる。また、図 4 のコンデンサ $C1$ は電圧 $VCCSDB$ がチャージされ、ND 2 点は電圧 $VCCSDB$ となる。なお、蓄積イネーブル信号 SDI 及び読み出しイネーブル信号 $SDR2$ は H レベルであるので、ドレインは、光信号検出用 MOS トランジスタ PDT_r がターンオンして、ソースと同電位になる。

【0085】

次に、クリア状態においては、クリア前ゲートプリセット信号 PR が H レベルから L レベルに変化し、クリアパルス信号 CL が L レベルから H レベルに変化する。この場合には、表 2 に示すように、ソースラインは電圧 $VCCSDB \times 2$ に変化する。また、読み出しラインとクリアラインについては、クリアパルス信号 CL 及びライン選択信号 VSC_i が H レベルであるので、表 1 に示すように、ゲートはフローティング状態となる。従って、ソースとゲートとのカップリング容量によって、ゲート電圧 $VPGi$ は $(VCCSDB \times 2 + VCCSGHR)$ となる。また、ドレインはプリセット状態時と同様に、光信号検出用 MOS トランジスタ PDT_r がターンオンして、ソースと同電位になる。

【0086】

一方、非選択ラインについては、ゲート電圧 $VPGi$ は L (GND) レベルの

ままであり、ドレイン電圧 V_{PDi} は、トランジスタ $T4$ がオンとなるので、 V_{CCSDR} となる。

次に、リセット (N) 状態を経て、変調 (N) 状態に移行する。これらのリセット (N) 状態及び変調 (N) 状態は、夫々リセット (s) 状態及び変調 (s) 状態と略同様の信号が設定される。即ち、リセット (N) 状態においては、蓄積信号用ラインメモリリセット信号 $RESS$ 、蓄積信号用ラインメモリデータロード信号 $LOADS$ に夫々代えてオフセット用ラインメモリリセット信号 $RESN$ 、オフセット用ラインメモリデータロード信号 $LOADN$ がハイアクティブとなる。これにより、スイッチ $SW32$ がオンとなって、ノイズ読み出し用のラインメモリを構成するコンデンサ $C3$ が V_{MPR} にチャージされる。更に、スイッチ $SW31$ 及びスイッチ $SW11$ がオンとなって、ソースラインは電圧 V_{MPR} で初期化される。

【0087】

変調 (N) 状態においては、クリアパルス信号 CL 、クリア前ゲートプリセット信号 PR は L レベルであり、ソース電圧供給回路 $VC2h$ はソースラインに電圧を供給しない。クリアライン及び非選択ラインについてはライン選択信号 $VSCi$ は L レベルであり、ゲート電圧 $VPGi$ は L (GND) である。また、読み出しイネーブル信号 $SDR2$ も L レベルであるので、ドレイン電圧 V_{PDi} は V_{CCSDR} となる。

【0088】

読み出しラインについてはライン選択信号 $VSCi$ は H レベルである。クリアパルス信号 CL 及び信号 SDR が L レベルであるので、ゲート電圧 $VPGi$ は V_{CCSGHR} である。ドレイン電圧 V_{PDi} は V_{CCSDR} である。これにより、ソース電圧 V_{PSH} には電圧 ($V_{CCSGHR} - V_{thN}$) が現れる。このソースに現れる電圧は、直前にクリア状態に設定されていることから、オフセット成分に対応したものとなっている。ソースラインの電圧 ($V_{CCSGHR} - V_{thN}$) は、スイッチ $SW31$ を介してラインメモリを構成する各コンデンサ $C3$ に蓄積される。

【0089】

こうして、コンデンサC2 には信号成分が蓄積され、コンデンサC3 にはオフセット成分が蓄積される。水平シフトレジスタ11からの選択信号HSCANhによって、スイッチSW23, SW33が順番にオンになることで、コンデンサC2, C3 に蓄積された電圧が夫々出力アンプ36, 38を介してVOUTS, VOUTNとして出力される。

【0090】

次に、固体撮像素子による撮像の各種条件が変更された場合、読み出しライン用シフトレジスタとクリアライン用シフトレジスタの制御について説明する。

まず、蓄積期間等におけるダミーの読み出し制御の必要性について説明する。

イメージセンサLSI1が撮像動作中に、撮像条件が変更、例えば、シャッタースピードが変更されると、その変更前のシャッタースピードにより決められるクリアライン用シフトデータAVがクリアライン用シフトレジスタ4内をシフトしている状態で、さらに、変更後のシャッタースピードにより決められるタイミングでさらにもう一つのクリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。その結果、それに続く蓄積期間すなわち露出サイクル中にクリアラインの選択信号が2つ存在することになるため、一つの画像中に画質が異なる部分が生じてしまうことになる。

【0091】

これは、Hブランキング期間において、例えば、クリアラインが1本選択されている場合と2本選択されている場合では、ソース線の有する容量が変化してしまう。従って、これら2つの場合において、クリア後におけるセンサセルアレイ3中のキャリアの状態、例えば残留電荷量が異なってしまう。その結果、次のVALIDサイクルにおいて読み出した画像中に画質が異なる部分が生じてしまうからである。ここで、露出サイクルに続くサイクルを非VALIDサイクル、すなわちVALID信号がLレベルであるサイクルとして、非VALIDサイクルの画像を出力画像として利用しないことも考えられる。

【0092】

しかし、非VALIDサイクルの画像は、出力画像として利用されないため、

無駄な画像となってしまいます。特に、自動露出制御によってシャッタースピードが変更される場合、フレームレイトが低下する。

そこで、ここでは、シャッタースピード等の撮像条件が変更された場合、無駄な画像が生成されるのを防ぐために、撮像条件変更後の露出サイクルの開始時あるいは開始前等の所定のタイミングにおいてクリアライン用シフトレジスタ4にクリアライン用シフトレジスタリセット信号VSFRA_RSTが入力され、かつその露出サイクルにおいてダミーの読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力される。その結果、露出サイクル（蓄積期間）とそれに続くVALIDサイクルにおいて、それぞれの読み出しラインの数とクリアラインの数が同じになるので、露出サイクルに続くサイクルをVALIDサイクルとすることができる。

【0093】

ここで、クリアライン用シフトレジスタリセット信号VSFRA_RSTが、クリアライン用シフトレジスタ4に入力される所定のタイミングとしては、例えばHブランキング期間経過後である。

さらに、固体撮像素子の動作中に、その他の種々の撮像条件が変更された場合にも、上述した理由と同様の理由から、露出サイクルに続くサイクルを非VALIDサイクルとして、非VALIDサイクルの画像を出力画像として利用しないことも考えられるが、非VALIDサイクルの画像は、出力画像として利用されないため、無駄な画像となってしまいます。

【0094】

従って、このような無駄な画像を生じさせないようにするために、読み出しライン用シフトレジスタ5とクリアライン用シフトレジスタ4の適切な制御が行われる。

はじめに、ダミーの読み出しが行われる条件について説明する。

以下の条件でダミーの読み出し制御が実行される。

- a) アイドル終了後の蓄積期間（露出時間）
- b) シャッタースピードが1H（Hは水平ラインを示す。以下同じ。）からmHの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積

サイクル

- c) シャッタースピードが1 HからmHの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクル
- d) シャッタースピードが1 HからmHの範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクル
- e) シャッタースピードが1 HからmHの範囲の設定されている場合に、フレームレイトが7.5フレーム毎秒以下における間引きフレーム

各条件について図10から図19を用いて説明する。図10から図13は、ダミー読み出しを説明するためのタイミングチャートである。図10から図13は、横軸は時間を示し、各信号が時間と共に変化する様子を示す。以下、センサセルアレイ3が500H、すなわちセンサセルアレイ3のライン数がOB領域を含めて500である場合の例で説明する。

なお、以下の例では、蓄積期間 (Exposure Time) とは、アイドル終了後の蓄積フレーム、可変フレームもしくは15fpsにおけるフレームレイト変更後の蓄積フレーム、可変フレームもしくは15fpsにおけるシャッタースピード変更後の蓄積フレーム、及び可変フレームもしくは15fpsにおける上下、左右スキャン方向変更後の蓄積フレームをいう。

蓄積サイクル (Exposure Cycle) とは、7.5fps以下におけるフレームレイト変更後の蓄積フレーム、7.5fps以下におけるシャッタースピード変更後の蓄積フレーム、及び7.5fps以下における上下、左右スキャン方向変更後の蓄積フレームをいう。

【0095】

VALIDサイクル (Valid Cycle) とは、画像データ出力フレーム、すなわちVALID信号がHレベルのときをいう。

間引きフレームとは、7.5fps以下における蓄積期間 (Exposure Time) と蓄積サイクル (Exposure Cycle) を除いた画像データを出力しないフレーム、すなわちVALID信号がLレベルのときをいう。

【0096】

- a) アイドル終了後の蓄積期間 (露出時間)

図10は、アイドル期間終了後の蓄積期間において、ダミーの読み出しが行われることを示すタイミングチャートである。

図10において、スタンバイ信号であるSTANDBYがLレベルからHレベルに変わった後、垂直同期信号VSYNCが入力され、最初のアイドル期間（Idle1）になり、クリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。続いて、垂直同期信号VSYNCが入力されて、2回目のアイドル期間（Idle2）になり、クリアライン用シフトデータAVがクリアライン用シフトレジスタ4に入力される。これらのアイドル期間において、クリアライン用シフトデータAVが入力されると、スキャン方向指定信号VSCANで指定された方向に（図では1からm（500）の方向に）、ラインが選択されていくようにクリアライン選択信号VSAが、クリアライン用シフトレジスタ4から順次出力される。

【0097】

その2回目のアイドル期間（Idle2）において、チップイネーブル信号であるSENSENがLレベルからHレベルになると、イメージセンサLSI1がアクティブ状態となる。そのアクティブ状態になった後、垂直同期信号VSYNCの最初の立下りのタイミングで、モード（可変フレーム、固定フレーム等）とシャッタースピードのデータすなわち設定条件の情報が読み取られる。そして、アイドル期間（Idle2）の最後において、クリアライン用シフトレジスタリセット信号VSFRA_RSTと読み出しライン用シフトレジスタリセット信号VSFRB_RSTが、それぞれクリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5に入力され、両レジスタをリセットしている。図10では、アイドル期間（Idle2）において、クリアライン用シフトレジスタリセット信号VSFRA_RSTのパルス信号の立ち上がりに応じて、クリアライン選択信号VSA〔500〕のパルス信号は立ち下がり、クリアライン用シフトレジスタ4はリセットされる。

【0098】

なお、クリアライン用シフトレジスタリセット信号VSFRA_RSTと読み出しライン用シフトレジスタリセット信号VSFRB_RSTが入力されてクリ

アライン用シフトレジスタ4と読み出しライン用シフトレジスタ5がリセットされると、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、それぞれクリアライン用シフトデータAVと読み出しライン用シフトデータBVが入力されないかぎり、それぞれクリアライン選択信号VSAと読み出しライン選択信号VSBを出力しない。

【0099】

入力あるいは設定条件の情報情報に基づいて、2回目のアイドル期間に続く蓄積期間 (Exposure Time) において蓄積動作が実行される。

本来は、蓄積期間であれば読み出しライン用シフトデータBVを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロックVCLK_BSRに基づいて読み出しライン選択信号VSBが順次出力される。図10において、蓄積期間 (Exposure Time) のDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

【0100】

図10において、Modeは、フレームレイトモードを示し、この場合、フレームレイトモードは、可変フレームのモードである。同様に、Shutter Speedは、シャッタースピードを示し、この場合、シャッタースピードは250Hである。ここで、可変フレームモードは、シャッタースピードに応じて、フレームレイトを変更するモードである。固定フレームモードは、シャッタースピードが変わっても、フレームレイトが変わらないモードである。シャッタースピードは、クリアライン用シフトデータAVと読み出しライン用シフトデータBVの時間の差によって決まる。

【0101】

スキャン方向指定信号VSCANは、水平方向におけるスキャン方向を指示する信号である。図10では、スキャン方向指定信号VSCANは、Lレベルであるので、スキャン方向は、1から500へ向かう方向である。なお、スキャン方

向指定信号 V S C A N が H レベルのときは、スキャン方向は、5 0 0 から 1 へ向かう方向となる。

V C L K _ A S R は、クリアライン用シフトレジスタ 4 のシフトクロック信号である。V C L K _ B S R は、読み出しライン用シフトレジスタ 5 のシフトクロック信号である。

【 0 1 0 2 】

クリアライン用シフトレジスタ 4 への入力パルス信号であるクリアライン用シフトデータ A V が入力されると、クリアライン用シフトレジスタ 4 の第 1 のラインからクリアライン選択信号 V S A が順次出力されていく。同様に、読み出しライン用シフトレジスタ 5 の入力パルス信号である読み出しライン用シフトデータ B V が入力されると、読み出しライン用シフトレジスタ 5 から読み出しライン選択信号 V S B が順次出力されていく。

【 0 1 0 3 】

例えば、3 線シリアルインターフェース 1 5 を介して指定されたシャッタースピードのデータに基づいて決まる、読み出しラインとクリアライン間のライン数が 2 0 0、すなわち 2 0 0 H であるとする、クリアライン用シフトデータ A V は、蓄積期間 (E x p o s u r e T i m e) において、読み出しラインカウンタ (図示せず) の値が 3 0 0 になったときに、クリアライン用シフトレジスタ 4 は、1 行目の選択信号 V S A [1] を出力する。クリアライン選択信号 V S A [1] が出力されるとき、読み出しライン選択信号 V S B [3 0 1] がほぼ同時に出力される。

【 0 1 0 4 】

その後、読み出しライン選択信号 V S B の出力に対応して、クリアライン用シフトレジスタ 4 は、クリアライン用シフトクロック信号 V C L K _ A S R のクロック信号に基づいて、順次クリアライン選択信号 V S A を、クリアラインと読み出しライン間のライン数を 2 5 0 の状態に維持しながら、出力する。

その結果、各 H ブランキングのクリア期間において、クリアライン選択信号 V S A と読み出しライン選択信号 V S B によるクリアされるラインの選択数 (以下、選択ライン数という。) が同じとなる。

【0105】

その後、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、次のサイクルのための読み出しライン用シフトデータBVが、読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される。

蓄積期間の次のサイクルは、VALIDサイクル(Valid Cycle)となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、露出サイクルに続くサイクルにおいて出力画像として利用されない無駄な画像が生じない。

【0106】

b) シャッタースピードが1HからmHの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクル

図11は、シャッタースピードが1Hから500Hの範囲の設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

【0107】

イメージセンサLSI1が撮像動作中に、モードが可変フレームモードから15fpsの固定フレームモードに変更されると、図11においてVALIDサイクルにおける垂直同期信号VSYNCの立下りタイミングでそのモード変更情報が読み取られ、次の蓄積期間(Exposure Time)においてダミー読み出しが行われる。

【0108】

図11において、垂直同期信号VSYNCの最初の立下りで、モード(可変フレーム、固定フレーム等)とシャッタースピードの入力あるいは設定条件を読み

取って、その情報に基づいて、次の蓄積期間において蓄積動作が実行される。

また、垂直同期信号 V S Y N C の立下がりに応じて、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T が出力されて、クリアライン選択信号 V S A が出力されないようにクリアライン用シフトレジスタ 4 がリセットされる。図 1 1 では、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T のパルス信号の立ち上がりに応じて、クリアライン選択信号 V S A [2 5 0] のパルス信号（図示せず）は立ち下がり、クリアライン用シフトレジスタ 4 はリセットされる。

【0109】

本来は、蓄積期間であれば読み出しライン用シフトデータ B V を入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータ B V が読み出しライン用シフトレジスタ 5 に入力され、読み出しライン用シフトクロック信号 V C L K _ B S R に基づいて読み出しライン選択信号 V S B が順次出力される。図 1 1 において、蓄積期間（E x p o s u r e T i m e）の D R で示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時に V A L I D 信号が出力される。

【0110】

読み取られた変更情報に基づいて、V A L I D サイクルに続く蓄積期間（E x p o s u r e T i m e）における動作は実行されるので、設定されたシャッタースピードに基づいてクリアライン用シフトデータ A V が出力される。例えば、図ではシャッタースピードは 2 5 0 H であるので、クリアライン用シフトデータ A V は、読み出しラインカウンタの出力が 2 5 1 になったときから、出力され、クリアライン選択信号 V S A [1] が出力される。クリアライン選択信号 V S A [1] が出力されるとき、読み出しライン選択信号 V S B [2 5 1] がほぼ同時に出力される。

【0111】

その後、読み出しライン選択信号 V S B の出力に対応して、クリアライン用シフトレジスタ 4 は、クリアライン用シフトクロック信号 V C L K _ A S R のクロ

ック信号に基づいて、順次クリアライン選択信号VSAを、クリアラインと読み出しライン間のライン数を250の状態に維持しながら、出力する。

その結果、各Hブランキングのクリア期間において、クリアライン選択信号VSAと読み出しライン選択信号VSBによるクリアされるラインの選択数が同じとなる。

【0112】

その後、蓄積期間(Exposure Time)において、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される。

蓄積期間の次のサイクルは、VALIDサイクル(Valid Cycle)となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

【0113】

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、フレームレイト変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

【0114】

c) シャッタースピードが1HからmHの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクル

図12は、シャッタースピードが1HからmHの範囲の設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

イメージセンサLSI1が撮像動作中に、図12に示すように、シャッタースピードが、例えば、500Hから250Hに変更されると、垂直同期信号VSY

N C の立下りタイミングでそのシャッタースピード変更の情報が読み取られ、その読み取られた変更情報に基づいて、次の蓄積期間（E x p o s u r e T i m e）においてダミー読み出しが行われる。

【 0 1 1 5 】

図 1 2 において、垂直同期信号 V S Y N C の最初の立下りで、モード（可変フレーム、固定フレーム等）とシャッタースピードの入力あるいは設定条件を読み取って、その情報に基づいて、次の蓄積期間において蓄積動作が実行される。

図 1 2 に示すように、シャッタースピードが 5 0 0 H から 2 5 0 H に変更されると、その変更後の垂直同期信号 V S Y N C の立下りのタイミングにおいて変更後のシャッタースピードへの変更情報が読み取られる。その垂直同期信号 V S Y N C の立下りに応じて、V S F R A _ R S T が出力され、クリアライン選択信号 V S A が出力されないようにクリアライン用シフトレジスタ 4 がリセットされる。図 1 2 では、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T のパルス信号の立ち上がりに応じて、クリアライン選択信号 V S A [5 0 0] のパルス信号は立ち下がり、クリアライン用シフトレジスタ 4 はリセットされる。

【 0 1 1 6 】

本来は、蓄積期間であれば読み出しライン用シフトデータ B V を入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータ B V が読み出しライン用シフトレジスタ 5 に入力され、読み出しライン用シフトクロック信号 V C L K _ B S R に基づいて読み出しライン選択信号 V S B が順次出力される。図 1 2 において、蓄積期間（E x p o s u r e C y c l e）の D R で示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時に V A L I D 信号が出力される。

【 0 1 1 7 】

読み取られた変更情報に基づいて、V A L I D サイクルに続く蓄積期間（E x p o s u r e C y c l e）の動作は実行され、変更されたシャッタースピードにクリアライン用シフトデータ A V が出力される。例えば、図 1 2 ではシャッタ

ースピードは250Hであるので、クリアライン用シフトデータAVは、読み出し行カウンタの出力が251になったときに、出力される。

【0118】

その結果、各Hブランキングのクリア期間において、クリアライン選択信号VSAと読み出しライン選択信号VSBによるクリアラインの選択数が同じとなる。

その後、蓄積期間 (Exposure Cycle) において、クリアライン選択信号VSAと読み出しライン選択信号VSBが順次出力されていき、読み出しライン選択信号VSBが500ライン目を選択すると、読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号VSBはまた、先頭の1ライン目から選択をしていくように出力される。

【0119】

蓄積期間の次のサイクルは、VALIDサイクル (Valid Cycle) となる。それ以降、すなわち読み出しライン選択信号VSBによる先頭ラインからの読み出し以降は、すべてクリアライン選択信号VSAと読み出しライン選択信号VSBによる選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

【0120】

そして、図12の例では、モードが、7.5フレーム毎秒の固定モードであるので、VALIDサイクルに続くフレームは、間引きフレームとなる。よって、2フレームに1回の読み出し、すなわち2フレームに1回の間引きが行われる。間引きフレームのときにもダミー読み出しが行われる。この間引きフレーム中は、VALID信号は出力されない。

【0121】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータBVを入力する必要はないが、間引きフレーム期間においてダミー読み出しをするために、間引きフレーム期間の開始時に読み出しライン用シフトデータBVが出力され、読み出しライン用シフトクロック信号VCLK__BSRに基づいて読み出しラ

イン選択信号 V S B が順次出力される。そのダミー読み出しが終了すると、次の期間開始時に V A L I D 信号が出力される。

【0122】

このように、間引きフレームと V A L I D サイクルが交互に繰り返されるが、その間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになるので、1 フレーム内での画質の差が生じない。

よって、蓄積期間においてダミー読み出しが行われることによって、次の期間は、V A L I D サイクル期間となるので、フレームレイト変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

【0123】

d) シャッタースピードが 1 H から m H の範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクル

図 1 3 は、シャッタースピードが 1 H から 5 0 0 H の範囲の設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが行われることを示すタイミングチャートである。

イメージセンサ L S I 1 が撮像動作中に、図 1 3 に示すように、スキャン方向が変更されると、垂直同期信号 V S Y N C の立下りタイミングでその情報が読み取られ、次の蓄積期間 (E x p o s u r e C y c l e) においてダミー読み出しが行われる。

【0124】

なお、スキャン方向は、垂直方向における変更の例で説明するが、水平方向における変更、すなわち左右方向の変更の場合でも、以下に説明するダミー読み出しは同様に適用される。

図 1 3 に示すように、5 フレーム毎秒の固定フレームモードで、シャッタースピードは 2 5 0 H であるので、スキャン方向を示す信号であるスキャン方向指定信号 V S C A N が L レベルから H レベルに変更されると、その変更後の垂直同期信号 V S Y N C の立下りのタイミングにおいてそのスキャン方向の変更情報が読み取られる。V A L I D サイクルにおいて、その垂直同期信号 V S Y N C の立下

がりに応じて、クリアライン用シフトレジスタリセット信号V S F R A _ R S T と読み出しライン用シフトレジスタリセット信号V S F R B _ R S Tが出力され、クリアライン選択信号V S A と読み出しライン選択信号V S B が出力されないようにクリアライン用シフトレジスタ4 と読み出しライン用シフトレジスタ5 がリセットされる。

【0125】

図13では、クリアライン用シフトレジスタリセット信号V S F R A _ R S T のパルス信号の立ち上がりに応じて、クリアライン選択信号V S A [250] のパルス信号（図示せず）は立ち下がり、クリアライン用シフトレジスタ4 はリセットされ、読み出しライン用シフトレジスタリセット信号V S F R B _ R S T のパルス信号の立ち上がりに応じて、読み出しライン選択信号V S B [500] のパルス信号は立ち下がり、読み出しライン用シフトレジスタ5 はリセットされる。

本来は、蓄積期間であれば読み出しライン用シフトデータB Vを入力する必要はないが、蓄積期間においてダミー読み出しをするために、蓄積期間の開始時に読み出しライン用シフトデータB Vが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号V C L K _ B S Rに基づいて読み出しライン選択信号V S Bが順次出力される。

【0126】

図13において、蓄積期間（E x p o s u r e C y c l e）のDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。

読み取られたスキャン方向の変更の情報に基づいて、スキャン方向を変更して次の蓄積期間において蓄積動作が実行され、設定されたシャッタースピードに対応してクリアライン用シフトデータA Vが出力される。例えば、図13ではシャッタースピードは250Hであるので、クリアライン用シフトデータA Vは、読み出し行カウンタの出力が251になったときに、出力される。

【0127】

その結果、各Hブランキングのクリア期間において、クリアライン選択信号V

S Aと読み出しライン選択信号V S Bによるクリアラインの選択数が同じとなる。

その後、クリアライン選択信号V S Aと読み出しライン選択信号V S Bが順次出力されていく。読み出しライン選択信号V S Bが最後の1行目を選択すると、読み出しライン用シフトデータB Vが読み出しライン用シフトレジスタ5に入力され、読み出しライン選択信号V S Bはまた、先頭の500行目から選択をしていくように出力される。

そして、図13の例では、モードが、5フレーム毎秒の固定モードであるので、蓄積期間(Exposure Cycle)に続くフレームは、間引きフレームとなる。

【0128】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータB Vを入力する必要はないが、間引きフレーム期間においてダミー読み出しをするために、間引きフレーム期間の開始時に読み出しライン用シフトデータB Vが出力され、読み出しライン用シフトクロック信号V C L K__B S Rに基づいて読み出しライン選択信号V S Bが順次出力される。間引きフレーム中は、V A L I D信号は出力されない。間引きフレーム期間のダミー読み出しが終了すると、次の期間の開始時にV A L I D信号が出力される。

【0129】

そのV A L I D信号が出力されているV A L I Dサイクル後は、2回の間引きフレームと1回のV A L I Dサイクルの繰り返しとなる。間引きフレームでは、3フレームに1回の読み出し、すなわち3フレームに1回の間引きが行われる。その結果、2回の間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、スキャン方向の変更後の蓄積期間においてダミー読み出しが行われることによって、次の期間は、V A L I Dサイクル期間となるので、スキャン方向の変更後の蓄積サイクルに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

【0130】

e) シャッタースピードが1 HからmHの範囲の設定されている場合に、フレームレイトが7.5フレーム毎秒以下における間引きフレーム

図12及び図13を用いて、シャッタースピードが1 Hから500 Hの範囲の設定されている場合に、フレームレイトが7.5フレーム毎秒以下における間引きフレームにおいて、ダミー読み出しが行われることを説明する。

イメージセンサLSI1が撮像動作中に、図12に示すように、シャッタースピードが、500 Hから250 Hに変更されると、垂直同期信号VSYNCの立下りタイミングでその情報が読み取られ、次の蓄積時間においてダミー読み出しが行われる。さらに、図12では、上述したように、モードが7.5フレーム毎秒の固定モードであるので、2フレームに1回の読み出し、すなわち2フレームに1回の間引きが行われる。よって、間引きフレームのときにもダミー読み出しが行われる。

【0131】

また、図13において、スキャン方向が変更されると、垂直同期信号VSYNCの立下りタイミングでその情報が読み取られ、次の蓄積時間においてダミー読み出しが行われる。さらに、図13では、上述したように、モードが5フレーム毎秒のモードであるので、3フレームに1回の読み出しとなる。最初の蓄積期間後は、1回の間引きフレームとVALIDフレームがあり、その後は、3フレームに2回の間引きが行われる。その間引きフレームのときにもダミー読み出しが行われる。

【0132】

本来は、間引きフレーム期間であれば読み出しライン用シフトデータBVを入力する必要はないが、間引きフレーム期間においてダミー読み出しをするために、間引きフレーム期間の開始時に読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5に入力され、読み出しライン用シフトクロック信号VCLK_BSRに基づいて読み出しライン選択信号VSBが順次出力される。図12及び図13において、間引きフレームのDRで示す範囲において、ダミー読み出しが、画像信号が出力画像として利用されないにも拘わらず、行われる。そのダミー読み出しが終了すると、次の期間開始時にVALID信号が出力される。

。

【0133】

上述したように、間引きフレーム中にもダミー読み出しが行われ、選択ライン数が同じになるので、1フレーム内での画質の差が生じない。

よって、間引きフレーム中にもダミー読み出しが行われることによって、次の期間は、VALIDサイクル期間となるので、間引きフレームに続くサイクルにおいて、出力画像として利用されない無駄な画像は生じない。

【0134】

次に、ダミー読み出しが禁止される場合について説明する。

上述したように、所定の条件の場合、蓄積期間、蓄積サイクルあるいは間引きフレームにおいて、各サイクルの各Hブランキングにおける選択ライン数が同じになるようにダミー読み出しが行われる。しかし、シャッタースピードが1フレーム（以下、フレームをFと略すこともある。）を超える場合、すなわち（1フレーム+1H）以上に設定されている場合であって、次のような条件に合致する場合には、そのダミー読み出しを禁止する制御が行われる。

【0135】

f) シャッタースピードが1フレームを超える場合、すなわち（1フレーム+1H）以上に設定されている場合に、フレームレイト変更後の蓄積期間もしくは蓄積サイクル（図14）

g) シャッタースピードが1フレームを超える場合、すなわち（1フレーム+1H）以上に設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクル（図15）

h) シャッタースピードが1フレームを超える場合、すなわち（1フレーム+1H）以上に設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクル（図16）

なお、図14から図16では、シャッタースピードは（250H+1F）である。

【0136】

図14は、シャッタースピードが1フレームを超える場合、すなわち（1フレ

ーム+1 H) 以上に設定されている場合に、フレームレート変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが禁止される場合を説明するためのタイミングチャートである。

図15は、シャッタースピードが1フレームを超える場合、すなわち(1フレーム+1 H) 以上に設定されている場合に、シャッタースピード変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが禁止される場合を説明するためのタイミングチャートである。

図16は、シャッタースピードが1フレームを超える場合、すなわち(1フレーム+1 H) 以上に設定されている場合に、上下、あるいは左右スキャン方向の変更後の蓄積期間もしくは蓄積サイクルにおいて、ダミー読み出しが禁止される場合を説明するためのタイミングチャートである。

【0137】

図14から図16に示すように、シャッタースピードが1フレームを超える場合、VALIDサイクルにおいて、フレームレートの変更、シャッタースピードの変更、スキャン方向の変更がされると、VALIDサイクルに続く蓄積期間においてダミー読み出しが禁止される。ダミー読み出しが禁止されるとは、具体的には、読み出しライン用シフトレジスタ5への読み出しライン用シフトデータBVの出力を禁止することをいう。言い換えると、ダミー読み出しが禁止されるとは、読み出しライン用シフトデータBVが読み出しライン用シフトレジスタ5へ入力されないことをいう。

【0138】

すなわち、あるVALIDサイクルにおいてフレームレート等が変更されると、クリアライン用シフトレジスタリセット信号VSFRARSTが所定のタイミングでクリアライン用シフトレジスタ4に入力される。そして、蓄積期間が2サイクル必要なため、蓄積期間においてクリアライン用シフトデータAVが出力されてクリアライン選択信号VSAが出力されている2サイクルの間は、読み出しライン用シフトデータBVは出力されず、その2つの蓄積期間が終了後のVALID期間の開始時に読み出しライン用シフトデータBVが出力され電荷が読み出される。そのVALID期間の経過後は、2回の蓄積期間が続く。その2回の

蓄積期間では、クリアライン用シフトデータ A V が出力されてクリアライン選択信号 V S A が出力されている 2 サイクルの間は、読み出しライン用シフトデータ B V は出力されない。その 2 つの蓄積期間が終了後の V A L I D 期間の開始時に読み出しライン用シフトデータ B V が出力され電荷が読み出される。以下、同様な動作が繰り返される。

【0139】

特に、図 16 では、シャッタースピードが 1 フレームを超える場合に、スキャン方向が変更されたとき、読み出しライン用シフトレジスタリセット信号 V S F R B _ R S T が所定のタイミングで読み出しライン用シフトレジスタ 5 に入力される。なお、上述したように、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T と読み出しライン用シフトレジスタリセット信号 V S F R B _ R S T が、それぞれクリアライン用シフトレジスタ 5 と読み出しライン用シフトレジスタ 5 に入力される所定のタイミングとしては、例えば H ブランキング期間経過後である。

【0140】

よって、シャッタースピードが 1 フレームを超える場合、各蓄積期間の開始時に読み出しライン用シフトデータ B V が出力されないので、図 14 から図 16 の D R N の期間においてダミー読み出しがされない。図 14 から図 16 では、クリアライン用シフトレジスタリセット信号 V S F R A _ R S T のパルス信号の立ち上がりに応じて、クリアライン選択信号 V S A のパルス信号は立ち下がり、クリアライン用シフトレジスタ 4 はリセットされ、読み出しライン用シフトレジスタリセット信号 V S F R B _ R S T のパルス信号の立ち上がりに応じて、読み出しライン選択信号 V S B のパルス信号は立ち下がり、読み出しライン用シフトレジスタ 5 はリセットされる。

【0141】

上述したダミー読み出し及びその禁止は、図 17 に示す回路によって実現される。図 17 は、ダミー読み出しの制御を行う回路である。すなわち、フレームレートの変更、シャッタースピードの変更、間引きフレームの発生、左右スキャン方向の変更、又は上下スキャン方向の変更があると、それらの変更を示す信号が

入力される第1のOR回路101と、シャッタースピードが、mHすなわち上記の例では500H以下である状態であることを示す信号とOR回路101の出力とを入力とするAND回路102と、アイドル終了であることを示す信号とAND回路102の出力とを入力とする第2のOR回路103と、第2のOR回路103の出力を入力とする第1の出力回路104と、アイドル終了であることを示す信号と上下スキャン方向の変更を示す信号を入力とする第3のOR回路105と、第3のOR回路105の出力信号を入力とする第2の出力回路106とを用いることによって、ダミー読み出し及びその禁止の処理を実現することができる。

【0142】

上記のa)は、第2のOR回路103へアイドル終了の状態になると信号が入力される。さらに、上記のb)からe)の条件の一部であるシャッタースピードが500H以下であると、AND回路102の一方の入力端に、シャッタースピードが500H以下であることを示す信号が入力される。また、上記のb)からe)の条件の他の一部である、フレームレイトの変更、シャッタースピードの変更、間引きフレームの発生、左右スキャン方向の変更、又は上下スキャン方向の変更があると、OR回路101にそれらの変更を示す信号が入力され、OR回路101は、AND回路102の一方の入力端に出力信号を出力する。AND回路102の他方の入力端にも、信号が入力されるので、AND回路102は2つの入力信号を受信して、OR回路103へ出力信号を出力する。

【0143】

従って、上記のa)からe)の条件において、出力回路104から、読み出しライン用シフトデータBVの信号が上述した所定のタイミングで出力される。

また、シャッタースピードがmHすなわち上記の例では500Hを超えると、AND回路102の一方に信号が入力されなくなるため、AND回路102から出力信号は出力されない。従って、上述したf)からh)の条件において、ダミー読み出しが禁止される。

【0144】

さらに、上下スキャン方向の変更か、アイドル終了があると、その変更あるい

は状態を示す、第3のOR回路105の出力信号が、出力回路106への入力信号となるので、上述したタイミングで出力回路106から読み出しライン用シフトレジスタリセット信号VSFRB_RSTが出力される。

従って、ダミー読み出しの禁止が行われ、無駄な画像が生じないので、固体撮像素子からの画像出力を遅れることなく、確実に得ることができる。

【0145】

なお、図17に示す回路は、TG13内に設けられるが、上述したように、HDLを利用した設計システムを用いれば、別な回路構成で実現される場合もある。

尚、上記実施の形態は、固体撮像素子として閾値電圧変調方式のMOS型イメージセンサを例に説明したが、閾値電圧変調方式のMOS型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

【図面の簡単な説明】

【図1】本発明の実施の形態に係わる画像処理装置の構成を示すブロック図。

【図2】本発明の実施の形態に係わるイメージセンサLSIの構成を示す回路図。

【図3】ドレイン・ゲート電圧供給回路の構成を示す回路図。

【図4】ソース電圧供給回路の構成を示す回路図。

【図5】センサセルへ印加するバイアス電圧を説明するための図。

【図6】センサの読み出しラインとクリアラインを説明するための図。

【図7】垂直同期信号と水平同期信号のタイミングを示すタイミングチャート。

【図8】イメージセンサLSIのタイミングジェネレータの回路ブロック図。

【図9】Hブランキング期間における各信号のタイミングチャート。

【図10】アイドル期間終了後のダミー読み出しを示すタイミングチャート。

【図11】フレームレイト変更後のダミー読み出しを示すタイミングチャート。

【図12】シャッタースピード変更後のダミー読み出しを示すタイミングチャート。

【図13】上下、あるいは左右スキャン方向の変更後のダミー読み出しを示すタ

イミングチャート。

【図 14】 フレームレイト変更後、ダミー読み出しが禁止される場合を説明するためのタイミングチャート。

【図 15】 シャッタースピード変更後、ダミー読み出しが禁止される場合を説明するためのタイミングチャート。

【図 16】 上下、あるいは左右スキャン方向の変更後、ダミー読み出しが禁止される場合を説明するためのタイミングチャート。

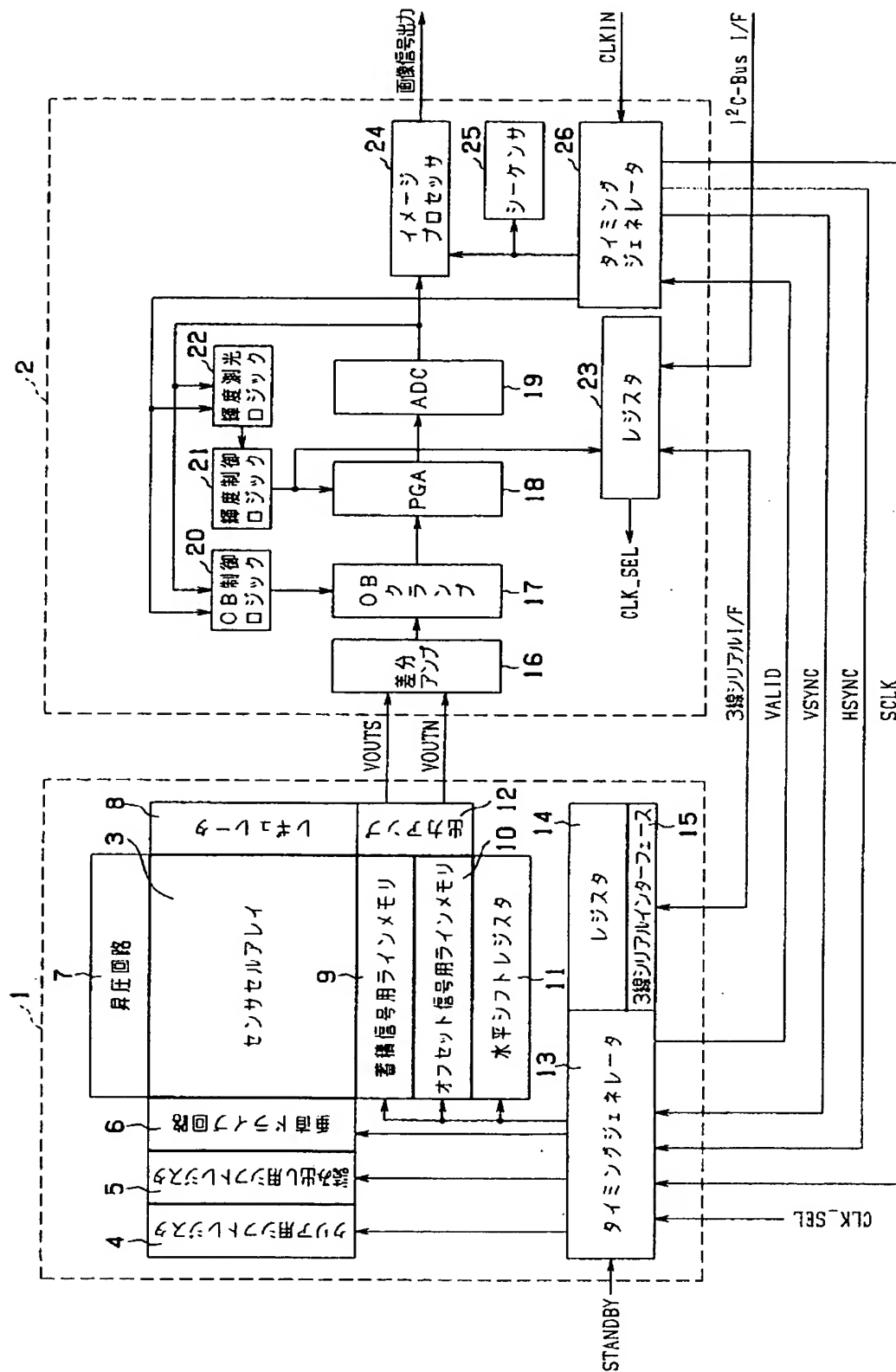
【図 17】 ダミー読み出しの制御を行う回路。

【符号の説明】

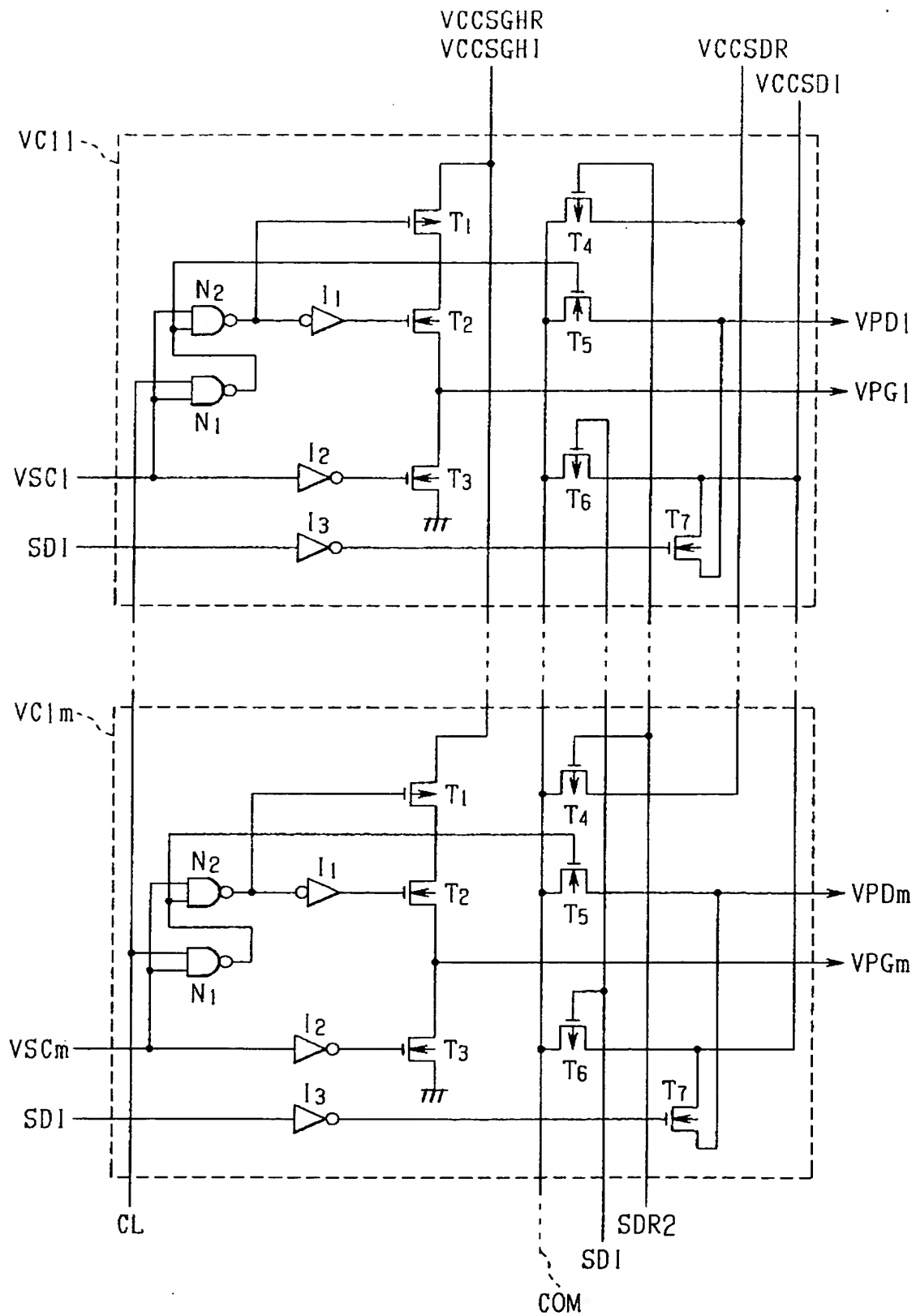
1 イメージセンサ L S I、2 信号処理 L S I、3 センサセルアレイ、6 垂直ドライブ回路、9 蓄積信号用ラインメモリ、10 オフセット信号用ラインメモリ、13 タイミングジェネレータ

【書類名】 図面

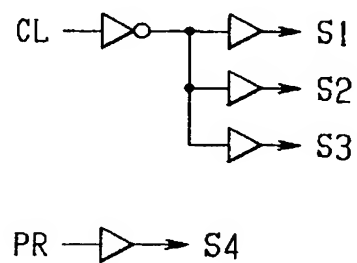
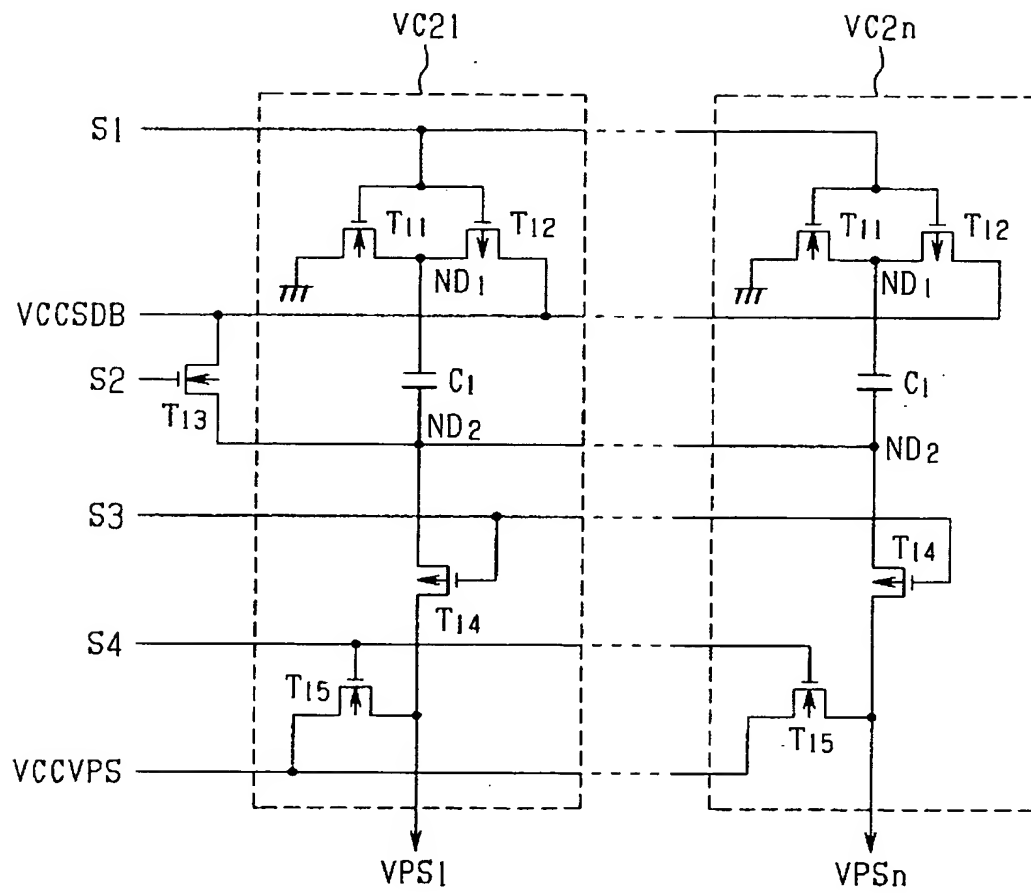
【図1】



【図 3】



【図 4】

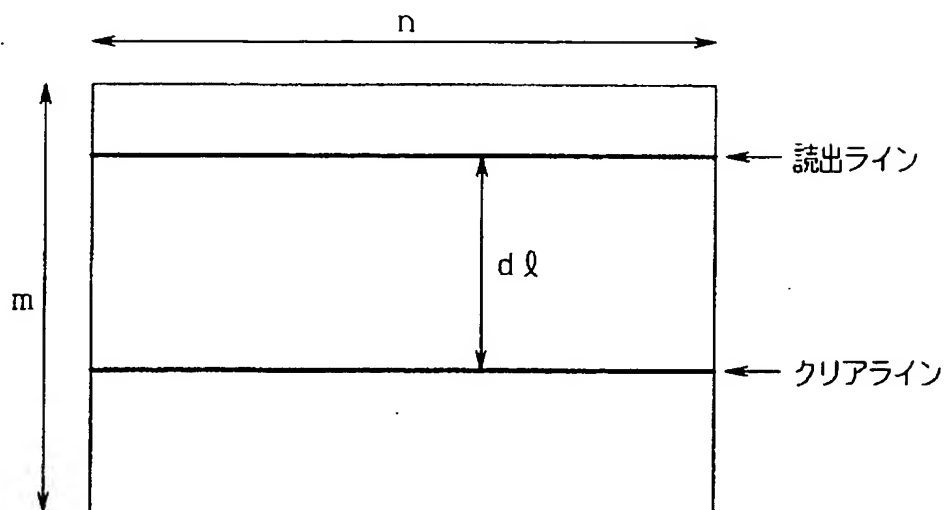


【図 5】

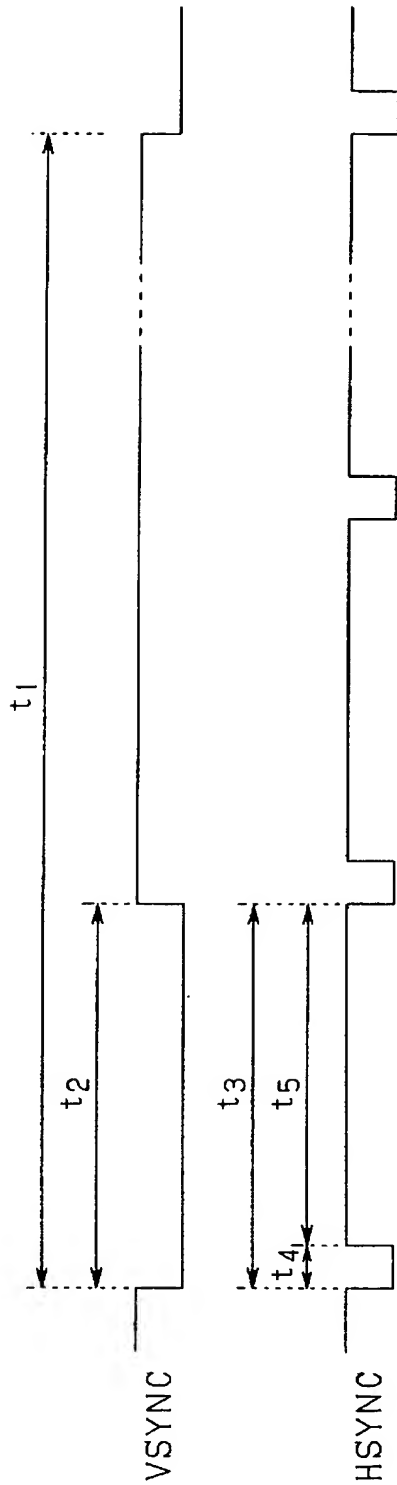
センサーバイアス状態

	状態	蓄積	RESS	LOADS	PR	CL	RESN	LOADN
GATE	選択	VCCSGHI	Lo	VCCSGHR	VCCSGHR	VCCSGHR+ VCCSDBX 2	Lo	VCCSGHR
	非選択		Lo	Lo	Lo	Lo	Lo	Lo
SOURCE	選択	ターンオン (VCCSDI)	VMPR	VCCSGHR-VthS	VCCVPS	VCCSDBX 2	VMPR	VCCSGHR-VthN
DRAIN	選択	VCCSDI	HiZ	VCCSDR	ターンオン (VCCVPS)	ターンオン (VCCSDBX 2)	HiZ	VCCSDR
	非選択		HiZ	VCCSDR	VCCVPS	VCCSDR	HiZ	VCCSDR

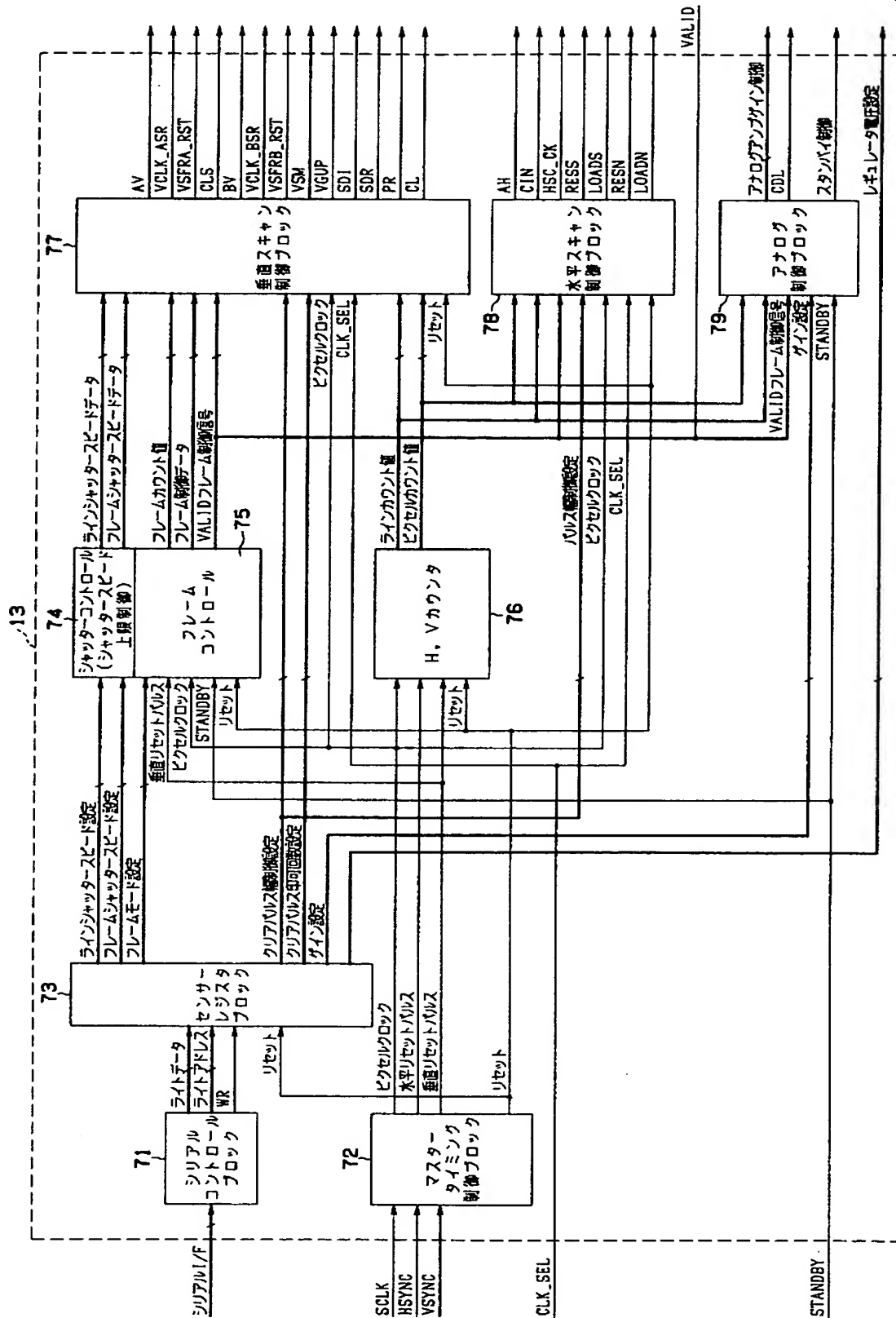
【図 6】



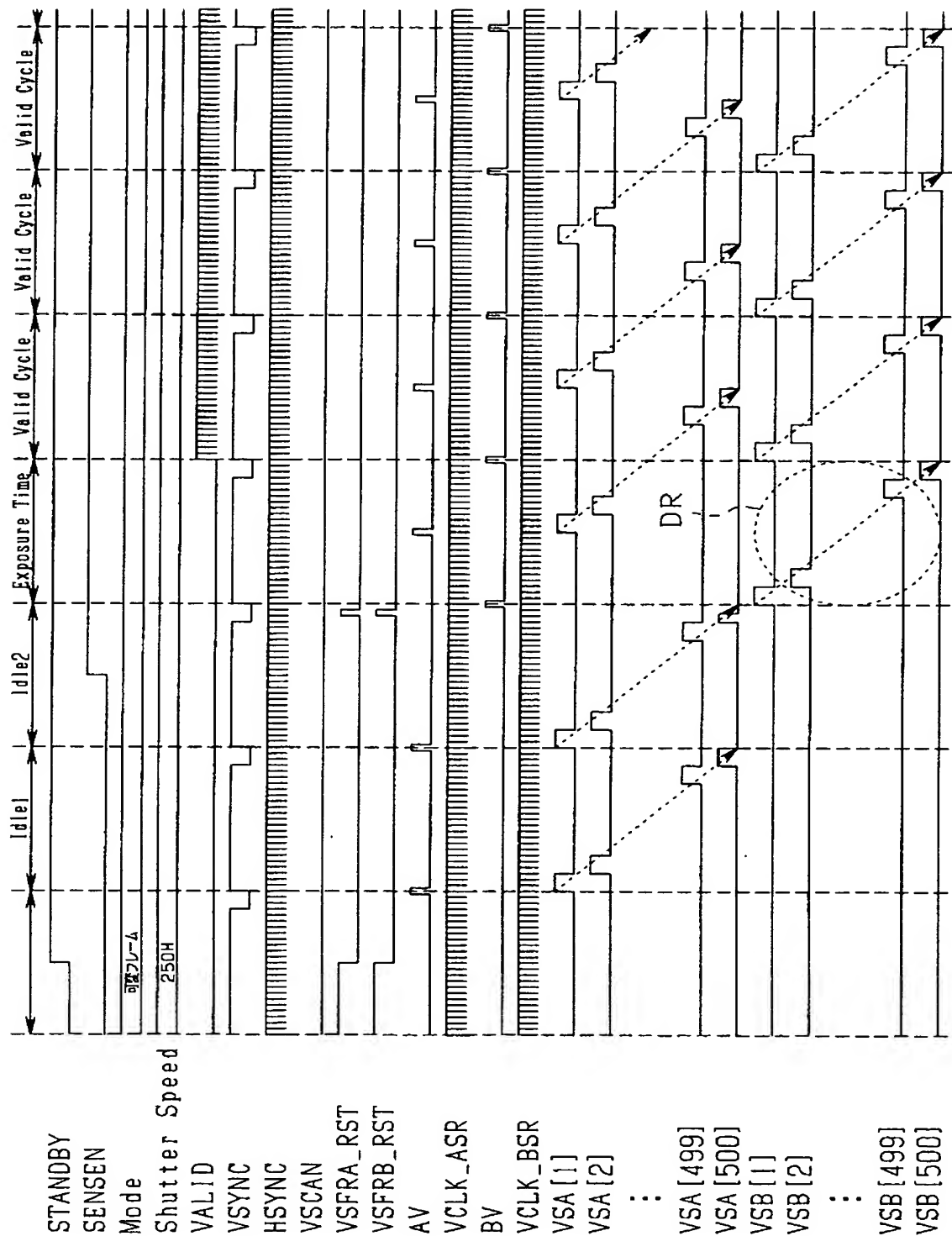
【図 7】



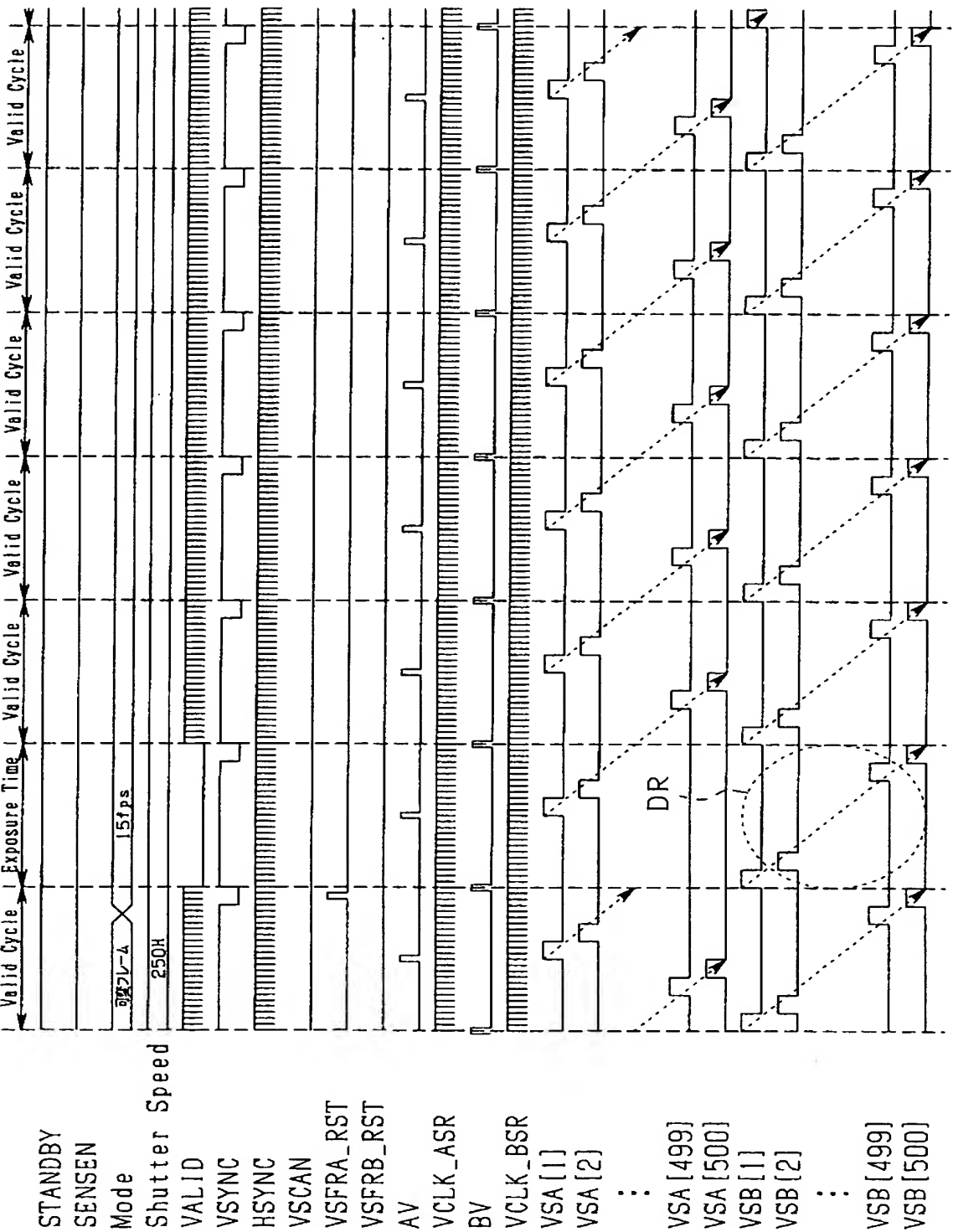
【図 8】



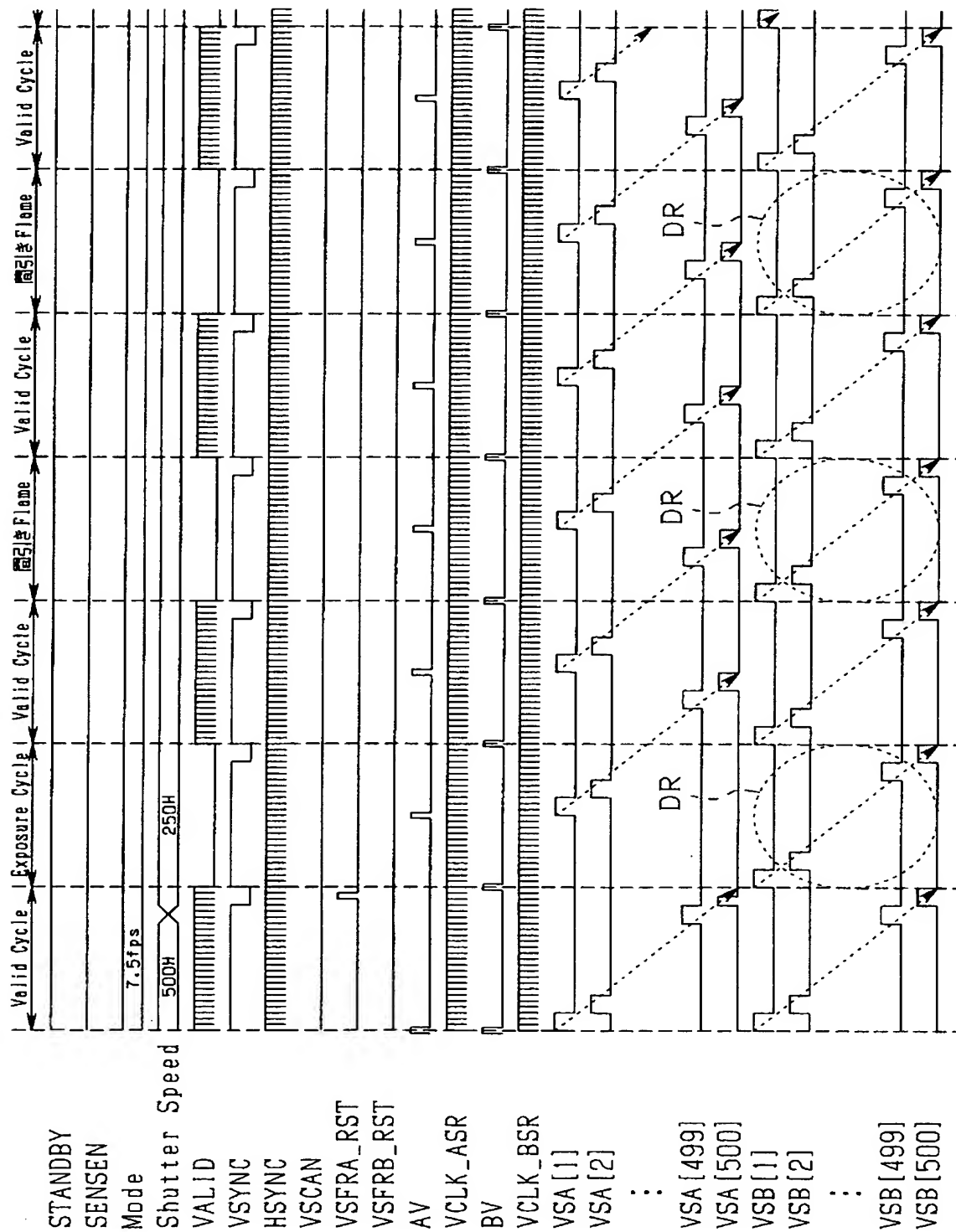
【図 10】



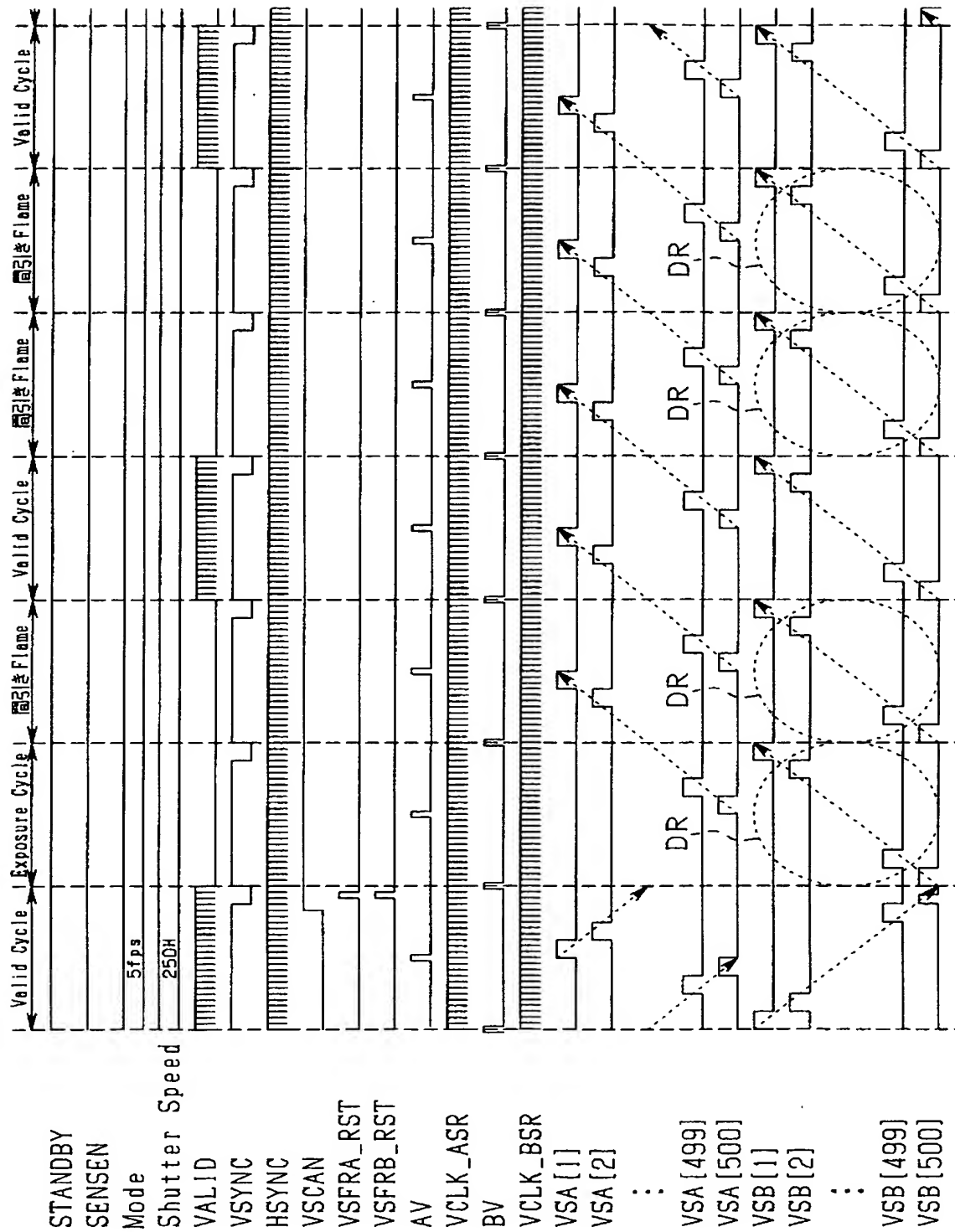
【図 11】



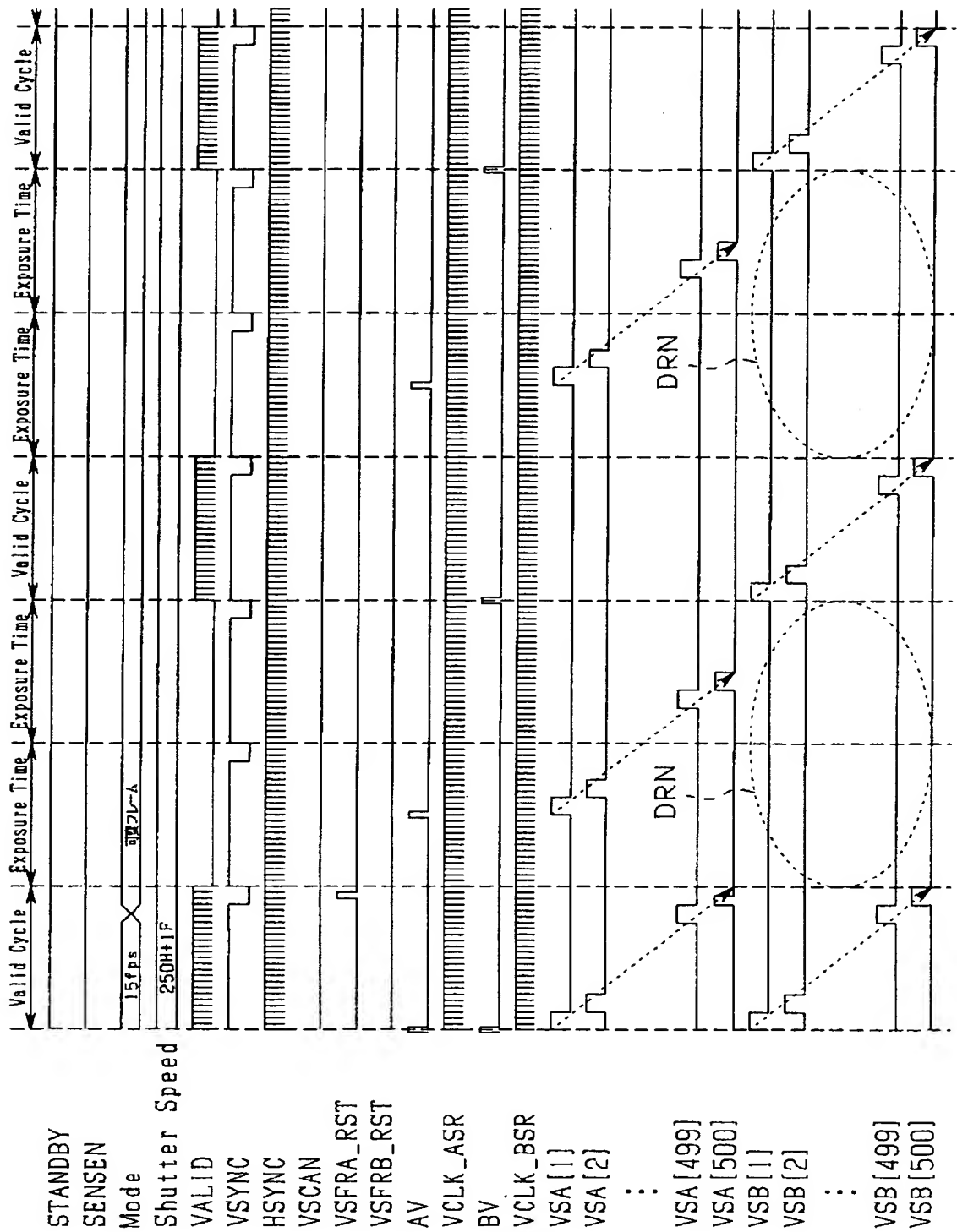
【図 12】



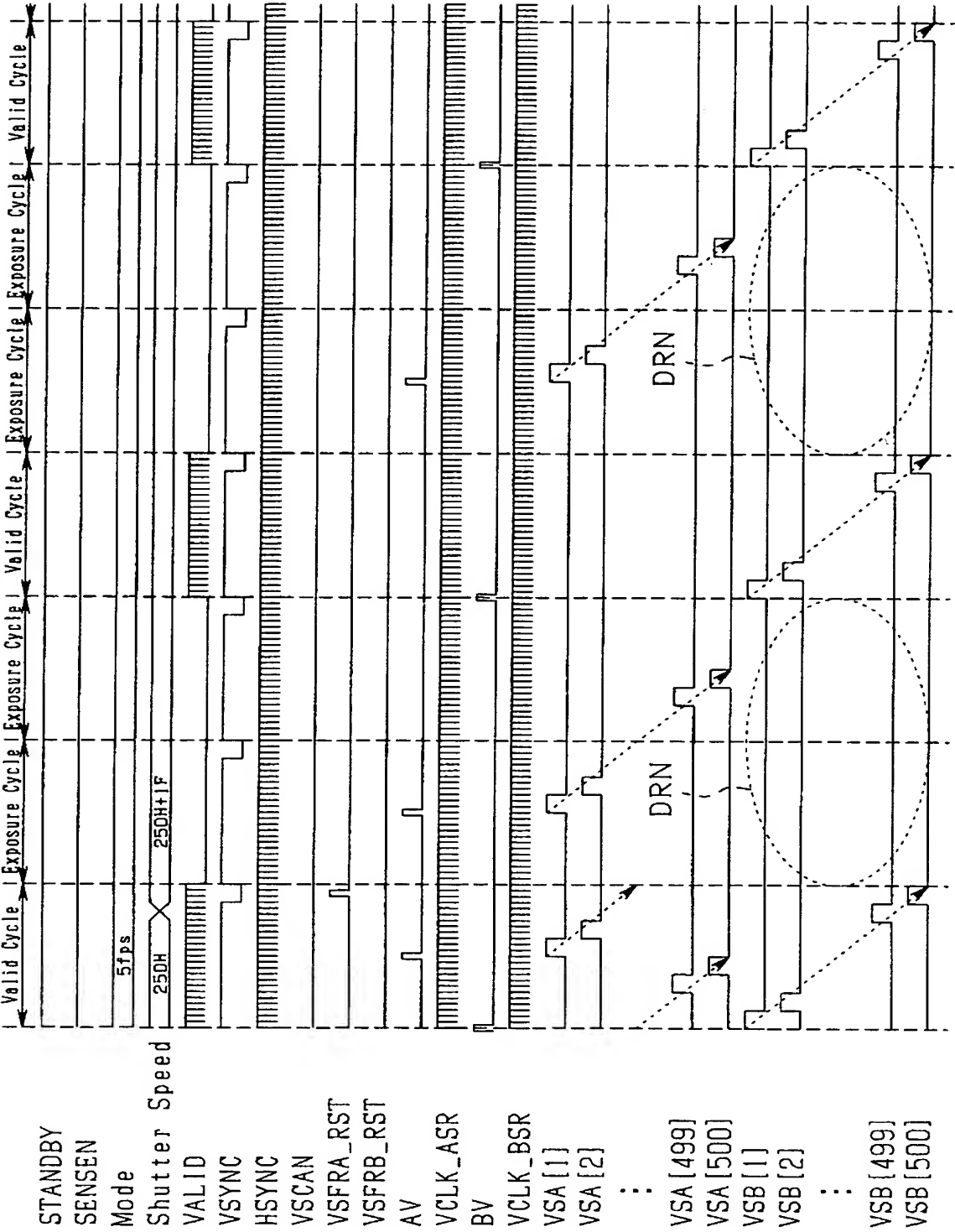
【図 13】



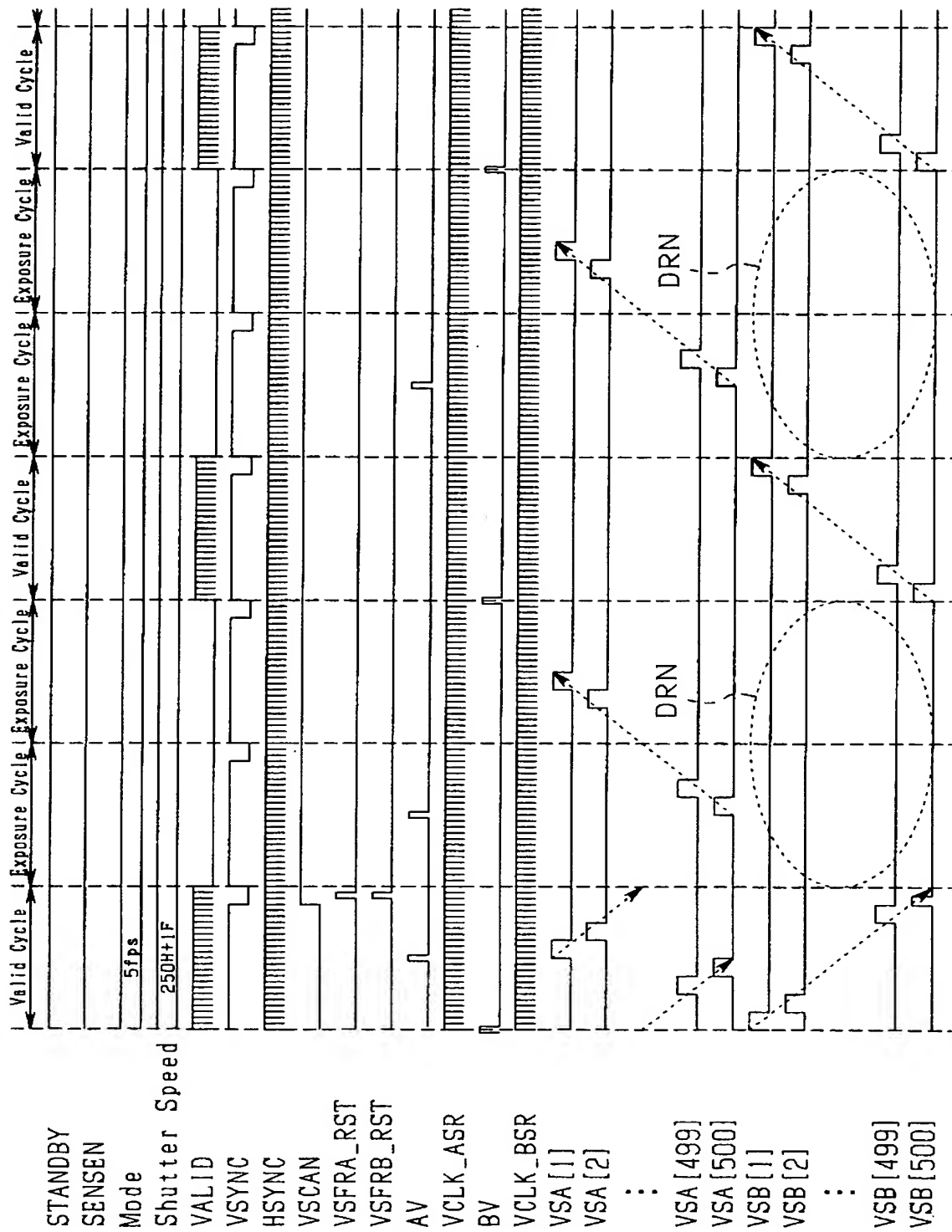
【図 14】



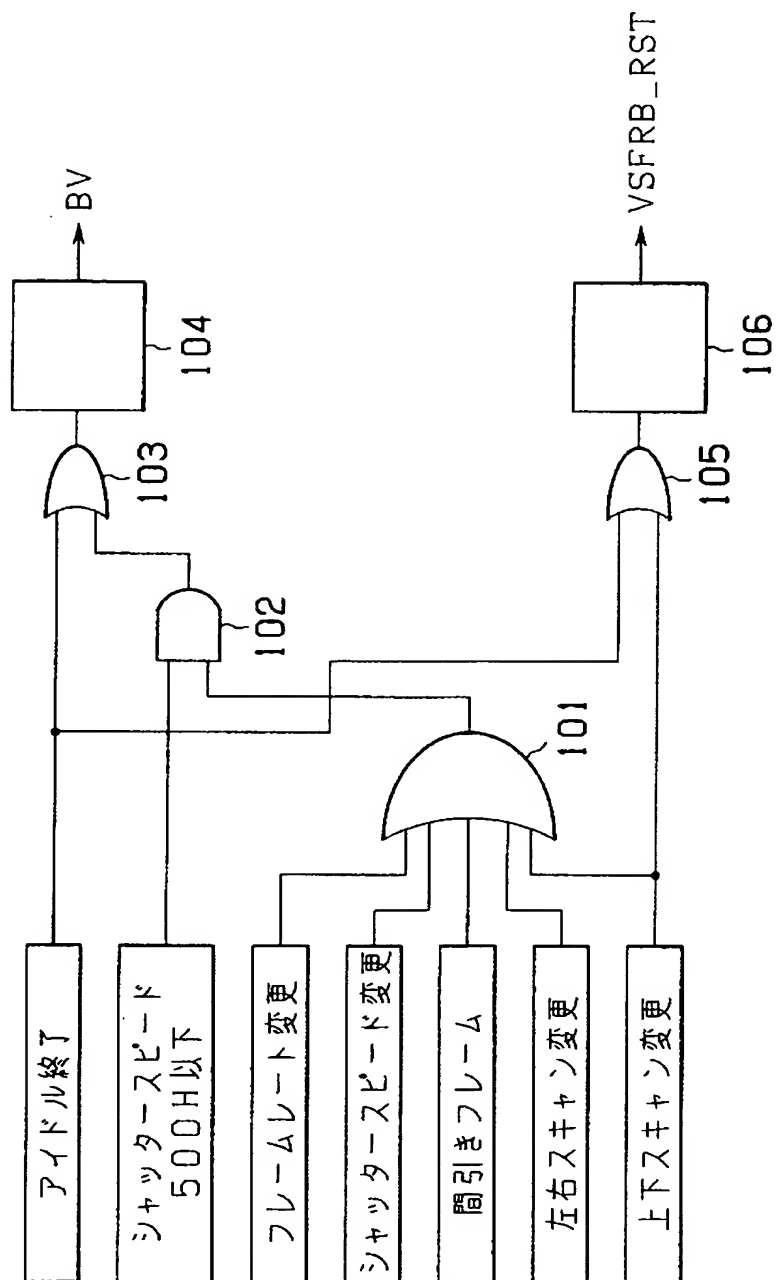
【図 15】



【図 16】



【図 17】



【書類名】 要約書**【要約】**

【課題】 適切な画像出力を遅れることなく確実に得るための画像処理装置、画像処理方法及び固体撮像装置を提供する。

【解決手段】 フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列されたマトリックス型の固体撮像素子から画像信号を読み出す画像処理方法において、前記読み出しラインと前記クリアラインの間のライン数が前記マトリックスのライン数以下で撮像条件が変更された場合、読み出しライン選択信号を出力するための読み出しライン用シフトデータを前記読み出しライン用シフトレジスタへ出力し、前記読み出しラインと前記クリアラインの間の前記ライン数が前記マトリックスのライン数を超過しているときに前記撮像条件が変更された場合、前記読み出しライン用シフトレジスタへの前記読み出しライン用シフトデータの出力を禁止する。

【選択図】 図 1 7

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 3 6 0 4
受付番号	5 0 3 0 0 0 9 7 0 5 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月22日
-------	-------------

次頁無

特願 2 0 0 3 - 0 1 3 6 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社